

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Sugitaka OTEKI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE PROCESSOR AND IMAGE PROCESSING METHOD

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-023131	January 31, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number.
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registrar

Calvin McClelland
Calvin McClelland
Registration Number 21,124



22850



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS986 U.S. PTO
09/772945
01/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月31日

出 願 番 号
Application Number:

特願2000-023131

出 願 人
Applicant (s):

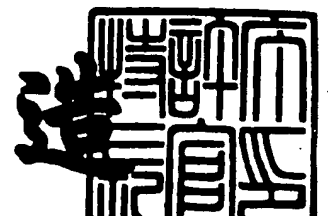
株式会社リコー

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 9906168

【提出日】 平成12年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 樗木 杉高

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 波塚 義幸

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 高橋 祐二

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 宮崎 秀人

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 野水 泰之

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 川本 啓之

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 石井 理恵

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 宮崎 慎也

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 福田 拓章

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 1 ラインを m 画素とする n ラインからなる $m \times n$ 画素に画像データを区分けする区分け手段と、

前記区分け手段により区分けされた画素の画像データを格納する格納手段と、

前記区分け手段により区分けされた画素の画像データおよび前記格納手段により格納された画像データをそれぞれ所定の送出先に送出する制御をおこなう制御手段と、

$m \times n$ 画素の画像データを一括して圧縮する圧縮手段と、

を備え、

前記制御手段は、前記区分け手段により区分けされた $m \times n$ 画素の画像データのうち $(n - 1)$ ライン分の画像データを前記格納手段に送出し、残りの 1 ライン分の画像データについては前記圧縮手段に直接送出するとともに、前記格納手段に格納された $m \times (n - 1)$ 画素の画像データを前記圧縮手段に送出する制御をおこなうことを特徴とする画像処理装置。

【請求項 2】 前記格納手段は、 $(n - 1)$ 本の F I F O メモリーにより構成され、前記制御手段は、前記区分け手段により区分けされた画像データを各ラインごとに前記 F I F O メモリーに送出する制御をおこなうことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 圧縮された $m \times n$ 画素の画像データである圧縮データを一括して伸張する伸張手段と、

前記伸張手段により伸張された画像データを格納する格納手段と、

前記伸張手段により伸張された画像データを所定の送出先に、および、前記格納手段により格納された画像データを所定の出力先に送出する制御をおこなう制御手段と、

を備え、

前記制御手段は、前記伸張手段により伸張された m 画素を 1 ラインとする 1 ライン分の画像データを前記所定の出力先に直接送出するとともに、残りの $(n -$

1) ライン分の画素の画像データを前記格納手段に送出し、その後当該格納手段に格納された (n - 1) ライン分の画素の画像データを前記所定の出力先に送出する制御をおこなうことを特徴とする画像処理装置。

【請求項 4】 前記格納手段は、(n - 1) 本の F I F O メモリーにより構成され、前記制御手段は、前記伸張手段により伸張された画像データを各ラインごとに前記 F I F O メモリーに送出する制御をおこなうことを特徴とする請求項 3 に記載の画像処理装置。

【請求項 5】 m × n 画素の画像データごとに圧縮された画像データである圧縮データを入力する入力手段と、

前記入力手段により入力された圧縮データを m × n 画素の画像データに一括して伸張する伸張手段と、

前記伸張手段により伸張された m × n 画素の画像データから m 画素を 1 ラインとする 1 ライン分の画像データを抽出する抽出手段と、

前記抽出手段により抽出された 1 ライン分の画像データを出力する出力手段と

前記出力手段により前記 1 ライン分の画像データが出力されたか否かを検知する検知手段と、

前記入力手段および抽出手段を制御する制御手段と、
を備え、

前記制御手段は、前記入力手段を制御して、前記検出手段により画像データの出力が検知された場合に、当該画像データを含む前記圧縮データを再び入力し、さらに、前記抽出手段を制御して、前記抽出手段により従前には抽出されなかった 1 ライン分の画像データを抽出し、この制御を繰り返すことにより 1 ラインから n ラインまでの画像データを順次出力することを特徴とする画像処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、画像処理装置、特に、ラインメモリーを用いて画像データを圧縮する処理もしくは伸張する処理をおこなう画像処理装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、アナログ複写機からデジタル化された画像データの処理をおこなうデジタル複写機が登場し、さらに、デジタル複写機が複写機としての機能だけでなく、複写機の機能に加えて、ファクシミリの機能、プリンターの機能、スキャナーの機能等の各機能を複合したデジタル複合機が存在する。

【 0 0 0 3 】

図 1 5 は、従来技術にかかるデジタル複合機のハードウェア構成の一例を示すブロック図である。図 1 5 に示すように、デジタル複合機 1 5 0 0 は、読取ユニット 1 5 0 1、画像処理ユニット 1 5 0 2、ビデオ制御部 1 5 0 3、書込ユニット 1 5 0 4 の一連の各構成部、さらにはメモリー制御ユニット 1 5 0 5 およびメモリー・モジュール 1 5 0 6 によって形成される複写機を構成する部分（複写機部分）と、マザーボード 1 5 1 1 を介して、追加的にファクシミリ制御ユニット 1 5 1 2、プリンター制御ユニット 1 5 1 3、スキャナー制御ユニット 1 5 1 4 等のユニットが接続されることによって、デジタル複合機としての各機能を実現していた。

【 0 0 0 4 】

すなわち、上記一連の構成部による一つのシステム、具体的にはシステム・コントローラ 1 5 0 7、RAM 1 5 0 8 および ROM によって一連の動作がコントロールされている複写機部分にファクシミリ制御ユニット 1 5 1 2、プリンター制御ユニット 1 5 1 3、スキャナー制御ユニット 1 5 1 4 をアドオンすることにより、デジタル複合機の機能を実現するものであった。

【 0 0 0 5 】

また、図示は省略するが、上記各ユニットを複写機にアドオンするものではなく、複写機能部分、ファクシミリ機能部分、プリンター機能部分等をそれぞれユニット化して組み合わせ、これら各ユニットから入力する画像データを効率よく処理するデジタル複合機も案出されている。

【 0 0 0 6 】

デジタル複合機がマザーボードを介して機能ユニットをアドオンするもので

あっても、複写機に特化することなく各機能ユニットをつくり分けて組み合わせるものであっても、ディジタル複合機が多機能化にともない、画像データの転送制御はシステムのパフォーマンス向上の観点から非常に重要な要素となってくる。

【 0 0 0 7 】

したがって従来では転送制御の観点、すなわち、各機能ユニット間による画像データの転送効率や、メモリー等の記憶部における記憶効率を考慮して、画像データは必要に応じて圧縮されていた。換言すると、画像データを圧縮することでディジタル複合機はそのパフォーマンスの向上を図っていた。

【 0 0 0 8 】

ここで、画像データを圧縮する従来のデータ圧縮部について説明する。図 1 6 は、従来のデータ圧縮部の構成の一例を示すブロック図であり、図 1 7 は、その処理タイミング示す説明図である。

【 0 0 0 9 】

図 1 6 において、データ圧縮部 1 6 0 1 は、画像データを格納する格納部 1 6 0 2 と、画像データを圧縮する圧縮器 1 6 0 3 と、格納部 1 6 0 2 および圧縮器 1 6 0 3 を制御する制御部 1 6 0 4 と、から構成される。格納部 1 6 0 2 は、複数の 1 ポート F I F O メモリー FM 1 a、FM 1 b、FM 2、FM 3 および FM 4 から構成されるラインメモリー群 1 6 0 5 と、画像データの出力先を切り替える出力切替器 1 6 0 6 と、画像データの入力先を F I F O メモリー FM 1 a および FM 1 b 間で切り替える入力切替器 1 6 0 7 と、から構成される。

【 0 0 1 0 】

なお、ここでは説明の簡単のために、圧縮器 1 6 0 3 で圧縮する圧縮領域としては、図 1 8 に示すように主走査（画素）方向に 4 画素、副走査（ライン）方向に 4 ラインからなる 1 ライン 4 画素×4 ラインの矩形領域とする。

【 0 0 1 1 】

図 1 7 に示したように、画像データの圧縮については、まず、矩形領域の第 1 ラインの画像データを F I F O メモリー FM 1 a にライトする（書き込む）。つぎに、第 2 ラインの画像データを F I F O メモリー FM 2 に、第 3 ラインの画像

データをF I F Oメモリ-FM3に、第4ラインの画像データをF I F Oメモリ-FM4に順次書き込む。この際の画像データの切り分け作業は、制御部1604の制御の下、出力切替器1606がおこなう。

【0012】

F I F Oメモリ-FM4に画像データを書き込んだ段階で、圧縮器1603で圧縮すべき4ラインがそろうので、つぎに、F I F Oメモリ-FM1a、FM2、FM3およびFM4に格納された第1ラインから第4ラインの画像データをリードし（読み出し）、圧縮器1603に送出する。この送出制御は、制御部1604がおこなう。圧縮器1603は、入力された4ライン分の画像データを圧縮し、圧縮された画像データを出力する。この圧縮された画像データは、メモリ制御ユニット1505を介してメモリ・モジュール1506に格納される。

【0013】

一方、第4ラインの画像データがF I F Oメモリ-FM4に書き込まれた後、つぎの矩形領域の最初のラインの画像データ（第5ラインの画像データ）が入力される。制御部1604は、メモリ使用の競合回避のため、この第5ラインの画像データをF I F Oメモリ-FM1bに書き込む制御をおこなう。

【0014】

その後第6ラインの画像データをF I F Oメモリ-FM2に、第7ラインのデータをF I F Oメモリ-FM3に、第8ラインの画像データをF I F Oメモリ-FM4に順次書き込む。

【0015】

制御部1604は、つぎの矩形領域の第9ラインの画像データをF I F Oメモリ-1aに書き込む制御をおこないつつ、F I F Oメモリ-FM1b、FM2、FM3およびFM4に格納された第5ラインから第8ラインの画像データを読み出し、圧縮器1603に送出する。この処理を繰り返すことにより、順次入力する一連の画像データを滞りなく圧縮することが可能となる。

【0016】

また、以上の例では、各F I F Oメモリは1ポートF I F Oメモリであるが、2ポートF I F Oメモリを用いることもできる。図19は、2ポートF I

F O メモリーを一部に用いたデータ圧縮部の構成の一例を示した図であり、図 20 は、その処理タイミングを示す説明図である。データ圧縮部 1 9 0 1 は、データ圧縮部 1 6 0 1 の F I F O メモリー F M 1 a、F I F O メモリー F M 1 b および切替器 1 6 0 7 を 2 ポート F I F O メモリー F M D 1 に置き換えた以外はデータ圧縮部 1 6 0 1 の構成と同一であるので、その説明を省略する。

【0017】

図 20 に示したように、データ圧縮部 1 9 0 1 の動作としては、F I F O メモリー F M 4 に第 4 ラインの画像データを書き込んだ後、F I F O メモリー F M D 1、F M 2、F M 3 および F M 4 に格納された第 1 ラインから第 4 ラインまでの画像データを読み出し、圧縮器 1 9 0 3 に送出する。この読み出し制御と同時に F I F O メモリー F M D 1 に、つぎの第 5 ラインの画像データを書き込む。

【0018】

同様に、第 8 ラインの画像データを F I F O メモリー F M 4 に格納後、第 9 ラインの画像データを F I F O メモリー F M D 1 に書き込みながら、F I F O メモリー F M D 1、F M 2、F M 3 および F M 4 に格納された第 5 ラインから第 8 ラインまでの画像データを読み出し、圧縮器 1 9 0 3 に送出する。

【0019】

このように、F I F O メモリーに一部 2 ポート F I F O メモリーを使用することにより、1 本分の 1 ポート F I F O メモリーを削減することができ、かつ、順次入力する一連の画像データを滞りなく圧縮することが可能となる。

【0020】

一方、圧縮された画像データは必要に応じて伸張され、その後の処理がおこなわれる。特に、デジタル複合機にあっては、その機能の多様性に基づいて、メモリー・モジュール 1 5 0 6 に格納された、圧縮された画像データを伸張する必要が生ずる場合が多い。

【0021】

ここで、従来の画像データを伸張するデータ伸張部について説明する。図 21 は、従来のデータ伸張部の構成の一例を示すブロック図であり、図 22 は、その処理タイミングを示す説明図である。

【 0 0 2 2 】

図 2 1 において、データ伸張部 2 1 0 1 は、圧縮された画像データを入力する入力側格納部 2 1 0 2 と、画像データを伸張する伸張器 2 1 0 3 と、伸張したデータを格納する出力側格納部 2 1 0 4 と、入力側格納部 2 1 0 2、伸張器 2 1 0 3 および出力側格納部 2 1 0 4 を制御する制御部 2 1 0 5 と、から構成される。なお、ここでは、説明の簡単のために、1 ライン 4 画素×4 ラインからなる矩形領域の画像データごとに圧縮された画像データを伸張するものとする。

【 0 0 2 3 】

入力側格納部 2 1 0 2 は、圧縮された矩形領域の画像データを格納する 2 つの 1 ポート F I F O メモリー F M I 1 および F M I 2 と、圧縮された矩形領域の画像データを F I F O メモリー F M I 1 および F M I 2 のいずれに送出するかを切り替える出力切替器 2 1 0 6 と、から構成される。

【 0 0 2 4 】

出力側格納部 2 1 0 4 は、3 本の 1 ポート F I F O メモリー F M 1、F M 2 および F M 3 と、1 本の 2 ポート F I F O メモリー F M D 4 とからなるメモリー群 2 1 0 7 と、メモリー群 2 1 0 7 から出力される画像データの入力先を切り替える入力切替器 2 1 0 8 と、から構成される。

【 0 0 2 5 】

図 2 2 に示したように、画像データの伸張については、まず、圧縮された矩形領域の画像データが F I F O メモリー F M I 1 に送出される。この圧縮された画像データは伸張器 2 1 0 3 に送出され、第 1 ラインから第 4 ラインの 4 ライン分の画像データに一括して伸張される。伸張された第 1 ラインの画像データは F I F O メモリー F M 1 に、第 2 ラインの画像データは F I F O メモリー F M 2 に、第 3 ラインの画像データは F I F O メモリー F M 3 に、第 4 ラインの画像データは F I F O メモリー F M D 4 に書き込まれる。

【 0 0 2 6 】

つぎに、ラインデータ出力同期信号（図示せず）に応じて、F I F O メモリー F M 1、F M 2、F M 3 および F M D 4 に格納された第 1 から第 4 ラインの画像データを順次読み出し、所定の出力先に送出する。一方、F I F O メモリー F M

I 2 に格納された第 5 から第 8 ラインの圧縮された画像データは伸張器 2 1 0 3 において伸張され、F I F O メモリー F M 1 から F M D 4 に格納される。このとき F I F O メモリー F M D 4 においては、第 4 ラインの読み出しと、第 8 ラインの書き込みとが同時におこなわれる様に制御する。このため、F I F O メモリー F M D 4 はリードとライトが並行して可能な 2 ポート F I F O メモリーとしている。

【 0 0 2 7 】

このように、F I F O メモリーに一部 2 ポート F I F O メモリーを使用することで、データ圧縮部 1 9 0 1 と同様に、1 本分の 1 ポート F I F O メモリーを削減することができ、かつ、順次入力する一連の圧縮された画像データを伸張し、滞りなく連続した画像データを送出することが可能となる。

【 0 0 2 8 】

以上説明したように、従来の画像処理装置（ディジタル複合機）では、システムのパフォーマンス向上の観点から画像データの転送制御の効率化が求められ、これを満たすために前後に適当なラインメモリーを配したデータ圧縮部やデータ伸張部が設けられていた。

【 0 0 2 9 】

また、読み取り信号の画像処理、メモリーへの画像蓄積、複数機能の並行動作およびそれぞれの画像処理を最適化する『画像処理装置』（たとえば、特開平 8 - 2 7 4 9 8 6 号公報）等が開示されており、各種の画像処理を一つの画像処理構成で実行できるものがあった。

【 0 0 3 0 】

【発明が解決しようとする課題】

しかしながら、上記従来技術におけるディジタル複合機においては、つぎのような問題点があった。データ圧縮部もしくはデータ伸張部については、前述したごとく、圧縮器もしくは伸張器の前後に複数のラインメモリーを含んだ構成となっている。このラインメモリーに関しては、アドオンする機能ユニット、もしくは、組み合わせる機能ユニットの種類や性能によって、入力する画像データの容量が相違するため、1 本のラインメモリーの容量をあらかじめ大きく設計し、ま

た、その数も多く設計する必要がある。

【0031】

特に、各機能ユニットを組み合わせるデジタル複合機については、機能向上により、一部の機能ユニットが交換される場合もあり、このような場合にも対応するため、1本のラインメモリーの容量を大きく、また、その本数を多く設計する必要がある。

【0032】

たとえば、1画素8bitとして1ライン600dpi(dot per inch)で原稿を読み込む場合、A4サイズ長手方向で約8k(1k=1024)となるため、1ラインの画像データを格納するためには、8bit×8kワードのラインメモリーが必要となる。

【0033】

すなわち、従来技術にかかる画像処理装置(デジタル複合機)では、ラインメモリーの本数を多く、かつ、当該メモリー1本の容量を大きくする必要があるため、回路規模が大きくなるという問題点があった。ここで、ラインメモリーに2ポートFIFOメモリーを用いることにより、1本分の1ポートラインメモリーを削減できるが(図19、図21参照)、この場合でも、1ポートFIFOメモリーと比較した場合にあっては、2ポートFIFOメモリーはまだ回路規模が大きいという問題点があった。

【0034】

さらに、各機能ユニットを組み合わせるデジタル複合機の場合には、ほかの機能ユニットとの組み合わせにおいて使用されるので、設計上できるだけ回路規模を小さくし、これによりデータ圧縮部もしくはデータ伸張部を含む機能ユニットの大きさをできるだけ小さくしたいという要請もある。

【0035】

この発明は、上述した従来技術による問題点を解消するため、回路規模の縮小化を図ることが可能な画像処理装置を提供することを目的とする。

【0036】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項 1 に記載の発明にかかる画像処理装置は、1 ラインを m 画素とする n ラインからなる $m \times n$ 画素に画像データを区分けする区分け手段と、前記区分け手段により区分けされた画素の画像データを格納する格納手段と、前記区分け手段により区分けされた画素の画像データおよび前記格納手段により格納された画像データをそれぞれ所定の送出先に送出する制御をおこなう制御手段と、 $m \times n$ 画素の画像データを一括して圧縮する圧縮手段と、を備え、前記制御手段が、前記区分け手段により区分けされた $m \times n$ 画素の画像データのうち $(n - 1)$ ライン分の画像データを前記格納手段に送出し、残りの 1 ライン分の画像データについては前記圧縮手段に直接送出するとともに、前記格納手段に格納された $m \times (n - 1)$ 画素の画像データを前記圧縮手段に送出する制御をおこなうことを特徴とする。

【 0 0 3 7 】

この請求項 1 に記載の発明によれば、格納手段により格納される画像データの容量を 1 ライン分削減することが可能となる。

【 0 0 3 8 】

また、請求項 2 に記載の発明にかかる画像処理装置は、請求項 1 に記載の発明において、前記格納手段が、 $(n - 1)$ 本の F I F O メモリーにより構成され、前記制御手段が、前記区分け手段により区分けされた画像データを各ラインごとに前記 F I F O メモリーに送出する制御をおこなうことを特徴とする。

【 0 0 3 9 】

この請求項 2 に記載の発明によれば、複数の F I F O メモリーを使用することにより簡便な制御方法を用いることができ、回路設計が容易になる。

【 0 0 4 0 】

また、請求項 3 に記載の発明にかかる画像処理装置は、圧縮された $m \times n$ 画素の画像データである圧縮データを一括して伸張する伸張手段と、前記伸張手段により伸張された画像データを格納する格納手段と、前記伸張手段により伸張された画像データを所定の送出先に、および、前記格納手段により格納された画像データを所定の出力先に送出する制御をおこなう制御手段と、を備え、前記制御手段が、前記伸張手段により伸張された m 画素を 1 ラインとする 1 ライン分の画像

データを前記所定の出力先に直接送出するとともに、残りの $(n-1)$ ライン分の画素の画像データを前記格納手段に送出し、その後当該格納手段に格納された $(n-1)$ ライン分の画素の画像データを前記所定の出力先に送出する制御をおこなうことを特徴とする。

【0041】

この請求項3に記載の発明によれば、格納手段により格納される画像データの容量を1ライン分削減することが可能となる。

【0042】

また、請求項4に記載の発明にかかる画像処理装置は、請求項3に記載の発明において前記格納手段が、 $(n-1)$ 本のFIFOメモリーにより構成され、前記制御手段が、前記伸張手段により伸張された画像データを各ラインごとに前記FIFOメモリーに送出する制御をおこなうことを特徴とする。

【0043】

この請求項4に記載の発明によれば、複数のFIFOメモリーを使用することにより簡便な制御方法を用いることができ、回路設計が容易になる。

【0044】

また、請求項5に記載の発明にかかる画像処理装置は、 $m \times n$ 画素の画像データごとに圧縮された画像データである圧縮データを入力する入力手段と、前記入力手段により入力された圧縮データを $m \times n$ 画素の画像データに一括して伸張する伸張手段と、前記伸張手段により伸張された $m \times n$ 画素の画像データから m 画素を1ラインとする1ライン分の画像データを抽出する抽出手段と、前記抽出手段により抽出された1ライン分の画像データを出力する出力手段と、前記出力手段により前記1ライン分の画像データが出力されたか否かを検知する検知手段と、前記入力手段および抽出手段を制御する制御手段と、を備え、前記制御手段が、前記入力手段を制御して、前記検出手段により画像データの出力が検知された場合に、当該画像データを含む前記圧縮データを再び入力し、さらに、前記抽出手段を制御して、前記抽出手段により従前には抽出されなかった1ライン分の画像データを抽出し、この制御を繰り返すことにより1ラインから n ラインまでの画像データを順次出力することを特徴とする。

【 0 0 4 5 】

この請求項 5 に記載の発明によれば、伸張手段により伸張された画像データを格納する格納手段が不要となる。

【 0 0 4 6 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる画像処理装置の好適な実施の形態を詳細に説明する。

【 0 0 4 7 】

〔実施の形態 1〕

まず、本実施の形態にかかる画像処理装置の原理について説明する。図 1 は、この発明の本実施の形態にかかる画像処理装置の構成を機能的に示すブロック図である。図 1 において、画像処理装置は、以下に示す 5 つのユニットを含む構成である。

【 0 0 4 8 】

上記 5 つのユニットとは、画像データ制御ユニット 1 0 0 と、画像データを読み取る画像読取ユニット 1 0 1 と、画像を蓄積する画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御ユニット 1 0 2 と、画像データに対し加工編集等の画像処理を施す画像処理ユニット 1 0 3 と、画像データを転写紙等へ書き込む画像書込ユニット 1 0 4 と、である。

【 0 0 4 9 】

上記各ユニットは、画像データ制御ユニット 1 0 0 を中心に、画像読取ユニット 1 0 1 と、画像メモリー制御ユニット 1 0 2 と、画像処理ユニット 1 0 3 と、画像書込ユニット 1 0 4 とがそれぞれ画像データ制御ユニット 1 0 0 に接続されている。

【 0 0 5 0 】

(画像データ制御ユニット 1 0 0)

画像データ制御ユニット 1 0 0 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 0 5 1 】

- (1) データのバス転送効率を向上させるためのデータ圧縮処理（一次圧縮）
 - (2) 一次圧縮データの画像データへの転送処理、
 - (3) 画像合成処理（複数ユニットからの画像データを合成することが可能である。また、データバス上での合成も含む。）、
 - (4) 画像シフト処理（主走査および副走査方向の画像のシフト）、
 - (5) 画像領域拡張処理（画像領域を周辺へ任意量だけ拡大することが可能）
 - (6) 画像変倍処理（たとえば、50%または200%の固定変倍）、
 - (7) パラレルバス・インターフェース処理、
 - (8) シリアルバス・インターフェース処理（後述するプロセス・コントローラ211とのインターフェース）、
 - (9) パラレルデータとシリアルデータのフォーマット変換処理、
 - (10) 画像読取ユニット101とのインターフェース処理、
 - (11) 画像処理ユニット103とのインターフェース処理、
 - (12) データの伸張処理、
- 等である。

【0052】

（画像読取ユニット101）

画像読取ユニット101によりおこなわれる処理としては以下のようなものがある。たとえば、

【0053】

- (1) 光学系による原稿反射光の読み取り処理、
 - (2) CCD (Charge Coupled Device : 電荷結合素子) での電気信号への変換処理、
 - (3) A/D変換器でのデジタル化処理、
 - (4) シェーディング補正処理（光源の照度分布ムラを補正する処理）、
 - (5) スキャナ γ 補正処理（読み取り系の濃度特性を補正する処理）、
- 等である。

【 0 0 5 4 】

(画像メモリー制御ユニット 1 0 2)

画像メモリー制御ユニット 1 0 2 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 0 5 5 】

- (1) システム・コントローラーとのインターフェース制御処理、
 - (2) パラレルバス制御処理 (パラレルバスとのインターフェース制御処理)
 - (3) ネットワーク制御処理、
 - (4) シリアルバス制御処理 (複数の外部シリアルポートの制御処理)、
 - (5) 内部バスインターフェース制御処理 (操作部とのコマンド制御処理)、
 - (6) ローカルバス制御処理 (システム・コントローラーを起動させるための ROM、RAM、フォントデータのアクセス制御処理)、
 - (7) メモリー・モジュールの動作制御処理 (メモリー・モジュールの書き込み／読み出し制御処理等)、
 - (8) メモリー・モジュールへのアクセス制御処理 (複数のユニットからのメモリー・アクセス要求の調停をおこなう処理)、
 - (9) データの圧縮／伸張処理 (メモリー有効活用のためのデータ量の削減するための処理)、
 - (10) 画像編集処理 (メモリー領域のデータクリア、画像データの回転処理、メモリー上での画像合成処理等)、
- 等である。

【 0 0 5 6 】

(画像処理ユニット 1 0 3)

画像処理ユニット 1 0 3 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 0 5 7 】

- (1) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
- (2) スキャナー γ 補正処理 (読み取り系の濃度特性を補正する処理)、

(3) M T F 補正処理、
(4) 平滑処理、
(5) 主走査方向の任意変倍処理、
(6) 濃度変換 (γ 変換処理: 濃度ノッチに対応)、
(7) 単純多値化処理、
(8) 単純二値化処理、
(9) 誤差拡散処理、
(10) ディザ処理、
(11) ドット配置位相制御処理 (右寄りドット、左寄りドット)、
(12) 孤立点除去処理、
(13) 像域分離処理 (色判定、属性判定、適応処理)、
(14) 密度変換処理、
等である。

【0058】

(画像書込ユニット104)

画像書込ユニット104によりおこなわれる処理としては以下のようなものがある。たとえば、

【0059】

(1) エッジ平滑処理 (ジャギー補正処理)、
(2) ドット再配置のための補正処理、
(3) 画像信号のパルス制御処理、
(4) パラレルデータとシリアルデータのフォーマット変換処理、
等である。

【0060】

(ディジタル複合機のハードウェア構成)

つぎに、本実施の形態にかかる画像処理装置がディジタル複合機を構成する場合のハードウェア構成について説明する。図2は本実施の形態にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【0061】

図 2 のブロック図において、本実施の形態にかかる画像処理装置は、読取ユニット 2 0 1 と、センサー・ボード・ユニット 2 0 2 と、画像データ制御部 2 0 3 と、画像処理プロセッサ 2 0 4 と、ビデオ・データ制御部 2 0 5 と、作像ユニット（エンジン） 2 0 6 とを備える。また、本実施の形態にかかる画像処理装置は、シリアルバス 2 1 0 を介して、プロセス・コントローラ 2 1 1 と、RAM 2 1 2 と、ROM 2 1 3 とを備える。

【 0 0 6 2 】

また、本実施の形態にかかる画像処理装置は、パラレルバス 2 2 0 を介して、画像メモリー・アクセス制御部 2 2 1 とファクシミリ制御ユニット 2 2 4 とを備え、さらに、画像メモリー・アクセス制御部 2 2 1 に接続されるメモリー・モジュール 2 2 2 と、システム・コントローラ 2 3 1 と、RAM 2 3 2 と、ROM 2 3 3 と、操作パネル 2 3 4 とを備える。

【 0 0 6 3 】

ここで、上記各構成部と、図 1 に示した各ユニット 1 0 0 ～ 1 0 4 との関係について説明する。すなわち、読取ユニット 2 0 1 およびセンサー・ボード・ユニット 2 0 2 により、図 1 に示した画像読取ユニット 1 0 1 の機能を実現する。また同様に、画像データ制御部 2 0 3 により、画像データ制御ユニット 1 0 0 の機能を実現する。また同様に、画像処理プロセッサ 2 0 4 により画像処理ユニット 1 0 3 の機能を実現する。

【 0 0 6 4 】

また同様に、ビデオ・データ制御部 2 0 5 および作像ユニット（エンジン） 2 0 6 により画像書込ユニット 1 0 4 を実現する。また同様に、画像メモリー・アクセス制御部 2 2 1 およびメモリー・モジュール 2 2 2 により画像メモリー制御ユニット 1 0 2 を実現する。

【 0 0 6 5 】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読取ユニット 2 0 1 は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

【 0 0 6 6 】

受光素子、たとえばCCDは、センサー・ボード・ユニット202に搭載され、CCDにおいて電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット202から出力（送信）される。

【0067】

センサー・ボード・ユニット202から出力（送信）された画像データは画像データ制御部203に入力（受信）される。機能デバイス（処理ユニット）およびデータバス間における画像データの伝送は画像データ制御部203がすべて制御する。

【0068】

画像データ制御部203は、画像データに関し、センサー・ボード・ユニット202、パラレルバス220、画像処理プロセッサ204間のデータ転送、画像データに対するプロセス・コントローラ211と画像処理装置の全体制御を司るシステム・コントローラ231との間の通信をおこなう。また、RAM212はプロセス・コントローラ211のワークエリアとして使用され、ROM213はプロセス・コントローラ211のブートプログラム等を記憶している。

【0069】

センサー・ボード・ユニット202から出力（送信）された画像データは画像データ制御部203を経由して画像処理プロセッサ204に転送（送信）され、光学系およびデジタル信号への量子化にともなう信号劣化（スキャナー系の信号劣化とする）を補正し、再度、画像データ制御部203へ出力（送信）される。

【0070】

画像メモリー・アクセス制御部221は、メモリー・モジュール222に対する画像データの書き込み／読み出しを制御する。また、パラレルバス220に接続される各構成部の動作を制御する。また、RAM232はシステム・コントローラ231のワークエリアとして使用され、ROM233はシステム・コントローラ231のブートプログラム等を記憶している。

【0071】

操作パネル 2 3 4 は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類（複写、ファクシミリ送信、画像読込、プリント等）および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット 2 2 4 の内容については後述する。

【 0 0 7 2 】

つぎに、読み取った画像データにはメモリー・モジュール 2 2 2 に蓄積して再利用するジョブと、メモリー・モジュール 2 2 2 に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール 2 2 2 に蓄積する例としては、1 枚の原稿について複数枚を複写する場合に、読取ユニット 2 0 1 を 1 回だけ動作させ、読取ユニット 2 0 1 により読み取った画像データをメモリー・モジュール 2 2 2 に蓄積し、蓄積された画像データを複数回読み出すという方法がある。

【 0 0 7 3 】

メモリー・モジュール 2 2 2 を使わない例としては、1 枚の原稿を 1 枚だけ複写する場合に、読み取り画像データをそのまま再生すればよいので、画像メモリー・アクセス制御部 2 2 1 によるメモリー・モジュール 2 2 2 へのアクセスをおこなう必要はない。

【 0 0 7 4 】

まず、メモリー・モジュール 2 2 2 を使わない場合、画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送されたデータは、再度画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 へ戻される。画像処理プロセッサ 2 0 4 においては、センサー・ボード・ユニット 2 0 2 における CCD による輝度データを面積階調に変換するための画質処理をおこなう。

【 0 0 7 5 】

画質処理後の画像データは画像処理プロセッサ 2 0 4 からビデオ・データ制御部 2 0 5 に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 7 6 】

つぎに、メモリー・モジュール 2 2 2 に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流について説明する。画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送された画像データは、画像データ制御部 2 0 3 からパラレルバス 2 2 0 を経由して画像メモリー・アクセス制御部 2 2 1 に送られる。

【 0 0 7 7 】

ここでは、システム・コントローラ 2 3 1 の制御に基づいて画像データとメモリー・モジュール 2 2 2 のアクセス制御、外部 P C (パーソナル・コンピュータ) 2 2 3 のプリント用データの展開、メモリー・モジュール 2 2 2 の有効活用のための画像データの圧縮／伸張をおこなう。

【 0 0 7 8 】

画像メモリー・アクセス制御部 2 2 1 へ送られた画像データは、データ圧縮後メモリー・モジュール 2 2 2 へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部 2 2 1 からパラレルバス 2 2 0 を経由して画像データ制御部 2 0 3 へ戻される。

【 0 0 7 9 】

画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 への転送後は画質処理、およびビデオ・データ制御部 2 0 5 でのパルス制御をおこない、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 8 0 】

画像データの流において、パラレルバス 2 2 0 および画像データ制御部 2 0 3 でのバス制御により、ディジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサ 2 0 4 にて画像処理を実施し、画像データ制御部 2 0 3 およびパラレルバス 2 2 0 を経由してファクシミリ制御ユニット 2 2 4 へ転送する。ファクシミリ制御ユニット 2 2 4 にて通信網へのデータ変換をおこない、公衆回線 (P N) 2 2 5 へファクシミリデータとして送信する。

【 0 0 8 1 】

一方、受信されたファクシミリデータは、公衆回線（PN）225からの回線データをファクシミリ制御ユニット224にて画像データへ変換され、パラレルバス220および画像データ制御部203を経由して画像処理プロセッサ204へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部205においてドット再配置およびパルス制御をおこない、作像ユニット206において転写紙上に再生画像を形成する。

【0082】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読取ユニット201、作像ユニット206およびパラレルバス220の使用権のジョブへの割り振りをシステム・コントローラ231およびプロセス・コントローラ211において制御する。

【0083】

プロセス・コントローラ211は画像データの流れを制御し、システム・コントローラ231はシステム全体を制御し、各リソースの起動を管理する。また、デジタル複合機の機能選択は操作パネル（操作部）234において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

【0084】

システム・コントローラ231とプロセス・コントローラ211は、パラレルバス220、画像データ制御部203およびシリアルバス210を介して相互に通信をおこなう。具体的には、画像データ制御部203内においてパラレルバス220とシリアルバス210とのデータ・インターフェースのためのデータフォーマット変換をおこなうことにより、システム・コントローラ231とプロセス・コントローラ211間の通信をおこなう。

【0085】

（画像処理ユニット103／画像処理プロセッサ204）

つぎに、画像処理ユニット103を構成する画像処理プロセッサ204における処理の概要について説明する。図3は本実施の形態にかかる画像処理装置の画像処理プロセッサ204の処理の概要を示すブロック図である。

【0086】

図 3 のブロック図において、画像処理プロセッサ 2 0 4 は、第 1 入力 I / F 3 0 1 と、スキャナ画像処理部 3 0 2 と、第 1 出力 I / F 3 0 3 と、第 2 入力 I / F 3 0 4 と、画質処理部 3 0 5 と、第 2 出力 I / F 3 0 6 とを含む構成となっている。

【 0 0 8 7 】

上記構成において、読み取られた画像データはセンサー・ボード・ユニット 2 0 2、画像データ制御部 2 0 3 を介して画像処理プロセッサ 2 0 4 の第 1 入力インターフェース (I / F) 3 0 1 からスキャナ画像処理部 3 0 2 へ伝達される。

【 0 0 8 8 】

スキャナ画像処理部 3 0 2 は読み取られた画像データの劣化を補正することを目的とし、具体的には、シェーディング補正、スキャナ γ 補正、MTF 補正等をおこなう。補正処理ではないが、拡大／縮小の変倍処理もおこなうことができる。読み取り画像データの補正処理が終了すると、第 1 出力インターフェース (I / F) 3 0 3 を介して画像データ制御部 2 0 3 へ画像データを転送する。

【 0 0 8 9 】

転写紙への出力の際は、画像データ制御部 2 0 3 からの画像データを第 2 入力 I / F 3 0 4 より受信し、画質処理部 3 0 5 において面積階調処理をおこなう。画質処理後の画像データは第 2 出力 I / F 3 0 6 を介してビデオ・データ制御部 2 0 5 または画像データ制御部 2 0 3 へ出力される。

【 0 0 9 0 】

画質処理部 3 0 5 における面積階調処理は、濃度変換処理、ディザ処理、誤差拡散処理等があり、階調情報の面積近似を主な処理とする。一旦、スキャナ画像処理部 3 0 2 により処理された画像データをメモリー・モジュール 2 2 2 に蓄積しておけば、画質処理部 3 0 5 により画質処理を変えることによって種々の再生画像を確認することができる。

【 0 0 9 1 】

たとえば、再生画像の濃度を振って (変更して) みたり、ディザマトリクスの線数を変更してみたりすることにより、再生画像の雰囲気を変換すること

ができる。この際、処理を変更するごとに画像を読取ユニット 2 0 1 からの読み込みをやり直す必要はなく、メモリー・モジュール 2 2 2 から蓄積された画像データを読み出すことにより、同一画像データに対して、何度でも異なる処理を迅速に実施することができる。

【 0 0 9 2 】

また、単体スキャナーの場合、スキャナー画像処理と階調処理を合わせて実施し、画像データ制御部 2 0 3 へ出力する。処理内容はプログラマブルに変更することができる。処理の切り替え、処理手順の変更等はシリアル I / F 3 0 8 を介してコマンド制御部 3 0 7 において管理する。

【 0 0 9 3 】

(画像データ制御ユニット 1 0 0 / 画像データ制御部 2 0 3)

つぎに、画像データ制御ユニット 1 0 0 を構成する画像データ制御部 2 0 3 における処理の概要について説明する。図 4 は本実施の形態にかかる画像処理装置の画像データ制御部 2 0 3 の処理の概要を示すブロック図である。

【 0 0 9 4 】

図 4 のブロック図において、画像データ入出力制御部 4 0 1 は、センサー・ボード・ユニット 2 0 2 からの画像データを入力（受信）し、画像処理プロセッサ 2 0 4 に対して画像データを出力（送信）する。すなわち、画像データ入出力制御部 4 0 1 は、画像読取ユニット 1 0 1 と画像処理ユニット 1 0 3 （画像処理プロセッサ 2 0 4 ）とを接続するための構成部であり、画像読取ユニット 1 0 1 により読み取られた画像データを画像処理ユニット 1 0 3 へ送信するためだけの専用の入出力部であるといえる。

【 0 0 9 5 】

また、画像データ入力制御部 4 0 2 は、画像処理プロセッサ 2 0 4 でスキャナー画像補正された画像データを入力（受信）する。入力された画像データはパラレルバス 2 2 0 における転送効率を高めるために、データ圧縮部 4 0 3 においてデータ圧縮処理をおこなう。その後、データ変換部 4 0 4 を経由し、パラレルデータ I / F 4 0 5 を介してパラレルバス 2 2 0 へ送出される。なお、データ圧縮部 4 0 3 の構成および動作については後に詳述する。

【 0 0 9 6 】

パラレルバス 2 2 0 からパラレルデータ I / F 4 0 5 を介して入力される画像データは、バス転送のために圧縮されているため、データ変換部 4 0 4 を経由してデータ伸張部 4 0 6 へ送られ、そこでデータ伸張処理をおこなう。伸張された画像データは画像データ出力制御部 4 0 7 において画像処理プロセッサ 2 0 4 へ転送される。なお、データ伸張部 4 0 6 の構成および動作については後に詳述する。

【 0 0 9 7 】

また、画像データ制御部 2 0 3 は、パラレルデータとシリアルデータの変換機能も備えている。システム・コントローラ 2 3 1 はパラレルバス 2 2 0 にデータを転送し、プロセス・コントローラ 2 1 1 はシリアルバス 2 1 0 にデータを転送する。画像データ制御部 2 0 3 は 2 つのコントローラの通信のためにデータ変換をおこなう。

【 0 0 9 8 】

また、シリアルデータ I / F は、シリアルバス 2 1 0 を介してプロセス・コントローラとのデータのやりとりをする第 1 シリアルデータ I / F 4 0 8 と、画像処理プロセッサ 2 0 4 とのデータのやりとりに用いる第 2 シリアルデータ I / F 4 0 9 を備える。画像処理プロセッサ 2 0 4 との間に独立に 1 系統持つことにより、画像処理プロセッサ 2 0 4 とのインターフェースを円滑化することができる。

【 0 0 9 9 】

コマンド制御部 4 1 0 は、入力された命令にしたがって、上述した画像データ制御部 2 0 3 内の各構成部および各インターフェースの動作を制御する。特に、データ圧縮部 4 0 3 とデータ伸張部 4 0 6 とからなるデータ圧縮伸張部 4 1 1 の動作制御をおこなう。この制御内容については後に詳述する。

【 0 1 0 0 】

(画像書込ユニット 1 0 4 / ビデオ・データ制御部 2 0 5)

つぎに、画像書込ユニット 1 0 4 の一部を構成するビデオ・データ制御部 2 0 5 における処理の概要について説明する。図 5 は本実施の形態にかかる画像処理

装置のビデオ・データ制御部 2 0 5 の処理の概要を示すブロック図である。

【 0 1 0 1 】

図 5 のブロック図において、ビデオ・データ制御部 2 0 5 は、入力される画像データに対して、作像ユニット 2 0 6 の特性に応じて、追加の処理をおこなう。すなわち、エッジ平滑処理部 5 0 1 がエッジ平滑処理によるドットの再配置処理をおこない、パルス制御部 5 0 2 がドット形成のための画像信号のパルス制御をおこない、上記の処理がおこなわれた画像データを作像ユニット 2 0 6 へ出力する。

【 0 1 0 2 】

画像データの変換とは別に、パラレルデータとシリアルデータのフォーマット変換機能を備え、ビデオ・データ制御部 2 0 5 単体でもシステム・コントローラ 2 3 1 とプロセス・コントローラ 2 1 1 の通信に対応することができる。すなわち、パラレルデータを送受信するパラレルデータ I / F 5 0 3 と、シリアルデータを送受信するシリアルデータ I / F 5 0 4 と、パラレルデータ I / F 5 0 3 およびシリアルデータ I / F 5 0 4 により受信されたデータを相互に変換するデータ変換部 5 0 5 とを備えることにより、両データのフォーマットを変換する。

【 0 1 0 3 】

(画像メモリー制御ユニット 1 0 2 / 画像メモリー・アクセス制御部 2 2 1)

つぎに、画像メモリー制御ユニット 1 0 2 の一部を構成する画像メモリー・アクセス制御部 2 2 1 における処理の概要について説明する。図 6 は本実施の形態にかかる画像処理装置の画像メモリー・アクセス制御部 2 2 1 の処理の概要を示すブロック図である。

【 0 1 0 4 】

図 6 のブロック図において、画像メモリー・アクセス制御部 2 2 1 は、パラレルバス 2 2 0 との画像データのインターフェースを管理し、また、メモリー・モジュール 2 2 2 への画像データのアクセス、すなわち格納（書込み）／読出しを制御し、また、主に外部の PC 2 2 3 から入力されるコードデータの画像データへの展開を制御する。

【0105】

そのために、画像メモリー・アクセス制御部221は、パラレルデータI/F601と、システム・コントローラーI/F602と、メモリー・アクセス制御部603と、ラインバッファ604と、ビデオ制御部605と、データ圧縮部606と、データ伸張部607と、データ変換部608と、を含む構成である。

【0106】

ここで、パラレルデータI/F601は、パラレルバス220との画像データのインターフェースを管理する。また、メモリー・アクセス制御部603は、メモリー・モジュール222への画像データのアクセス、すなわち格納（書込み）／読出しを制御する。

【0107】

また、入力されたコードデータは、ラインバッファ604において、ローカル領域でのデータの格納をおこなう。ラインバッファ604に格納されたコードデータは、システム・コントローラーI/F602を介して入力されたシステム・コントローラー231からの展開処理命令に基づき、ビデオ制御部605において画像データに展開される。

【0108】

展開された画像データもしくはパラレルデータI/F601を介してパラレルバス220から入力された画像データは、メモリー・モジュール222に格納される。この場合、データ変換部608において格納対象となる画像データを選択し、データ圧縮部606においてメモリー使用効率を上げるためにデータ圧縮をおこない、メモリー・アクセス制御部603にてメモリー・モジュール222のアドレスを管理しながらメモリー・モジュール222に画像データを格納（書込）する。

【0109】

メモリー・モジュール222に格納（蓄積）された画像データの読み出しは、メモリー・アクセス制御部603において読み出し先アドレスを制御し、読み出された画像データをデータ伸張部607において伸張する。伸張された画像データをパラレルバス220へ転送する場合、パラレルデータI/F601を介して

データ転送をおこなう。

【 0 1 1 0 】

(ファクシミリ制御ユニット 2 2 4 の構成)

つぎに、ファクシミリ制御ユニット 2 2 4 の機能的な構成について説明する。

図 7 は、本実施の形態における画像処理装置のファクシミリ制御ユニット 2 2 4 の構成を示すブロック図である。

【 0 1 1 1 】

図 7 のブロック図において、ファクシミリ制御ユニット 2 2 4 は、ファクシミリ送受信部 7 0 1 と外部 I / F 7 0 2 とから構成される。ここで、ファクシミリ送受信部 7 0 1 は、画像データを通信形式に変換して外部回線に送信し、また、外部からのデータを画像データに戻して外部 I / F 7 0 2 およびパラレルバス 2 2 0 を介して作像ユニットにおいて記録出力する。

【 0 1 1 2 】

ファクシミリ送受信部 7 0 1 は、ファクシミリ画像処理部 7 0 3、画像メモリー 7 0 4、メモリー制御部 7 0 5、データ制御部 7 0 6、画像圧縮伸張部 7 0 7、モデム 7 0 8 および網制御装置 7 0 9 を含む構成である。

【 0 1 1 3 】

このうち、ファクシミリ画像処理に関し、受信画像に対する二値スムージング処理は、図 5 に示したビデオ・データ制御部 2 0 5 内のエッジ平滑処理部 5 0 1 においておこなう。また、画像メモリー 7 0 4 に関しても、出力バッファ機能に関しては画像メモリー・アクセス制御部 2 2 1 およびメモリー・モジュール 2 2 2 にその機能の一部を移行する。

【 0 1 1 4 】

このように構成されたファクシミリ送受信部 7 0 1 では、画像データの伝送を開始するとき、データ制御部 7 0 6 がメモリー制御部 7 0 5 に指令し、画像メモリー 7 0 4 から蓄積している画像データを順次読み出させる。読み出された画像データは、ファクシミリ画像処理部 7 0 3 によって元の信号に復元されるとともに、密度変換処理および変倍処理がなされ、データ制御部 7 0 6 に加えられる。

【 0 1 1 5 】

データ制御部 7 0 6 に加えられた画像データは、画像圧縮伸張部 7 0 7 によって符号圧縮され、モデム 7 0 8 によって変調された後、網制御装置 7 0 9 を介して宛先へと送出される。そして、送信が完了した画像情報は、画像メモリー 7 0 4 から削除される。

【 0 1 1 6 】

受信時には、受信画像は一旦画像メモリー 7 0 4 に蓄積され、そのときに受信画像を記録出力可能であれば、1 枚分の画像の受信を完了した時点で記録出力する。また、複写動作時に発呼されて受信を開始したときは、画像メモリー 7 0 4 の使用率が所定値、たとえば 8 0 % に達するまでは画像メモリー 7 0 4 に蓄積し、画像メモリー 7 0 4 の使用率が 8 0 % に達した場合には、そのときに実行している書き込み動作を強制的に中断し、受信画像を画像メモリー 7 0 4 から読み出し記録出力する。

【 0 1 1 7 】

このとき画像メモリー 7 0 4 から読み出した受信画像は画像メモリー 7 0 4 から削除し、画像メモリー 7 0 4 の使用率が所定値、たとえば 1 0 % まで低下した時点で中断していた書き込み動作を再開し、その書き込み動作をすべて終了した時点で、残りの受信画像を記録出力する。また、書き込み動作を中断した後に、再開できるように中断時における書き込み動作のための各種パラメーターを内部的に退避し、再開時に、パラメーターを内部的に復帰する。

【 0 1 1 8 】

(ユニット構成)

つぎに、本実施の形態にかかる画像処理装置のユニット構成について説明する。図 8 は、画像処理装置がデジタル複合機の場合のユニット構成の一例を示すブロック図である。

【 0 1 1 9 】

図 8 に示すようにデジタル複合機の場合においては、画像読取ユニット 1 0 1、画像エンジン制御ユニット 8 0 0、画像書込ユニット 1 0 4 の 3 つのユニットで構成され、各ユニットはそれぞれ単独の P C B 基板で管理できる。

【 0 1 2 0 】

画像読取ユニット 1 0 1 は、CCD 8 0 1、A/D 変換モジュール 8 0 2、ゲイン制御モジュール 8 0 3 等から構成され、光学的に読み取られた光学画像情報をデジタル画像信号に変換する。

【0 1 2 1】

画像エンジン制御ユニット 8 0 0 は、システム・コントローラ 2 3 1、プロセス・コントローラ 2 1 1、画像メモリー制御ユニット 1 0 2 内のメモリー・モジュール 2 2 2 を中心に構成し、画像処理プロセッサ 2 0 4、画像メモリー・アクセス制御部 2 2 1 およびバス制御をおこなう画像データ制御部 2 0 3 をひとまとまりとしてあつかう。

【0 1 2 2】

また、画像書込ユニット 1 0 4 は、ビデオ・データ制御部 2 0 5 を中心に作像ユニット 2 0 6 を含む構成である。

【0 1 2 3】

これらのユニット構成において、画像読取ユニット 1 0 1 の仕様、性能が変更になった場合、デジタル複合機のシステムでは画像読取ユニット 1 0 1 のみを変更すれば、データ・インターフェースは保持されているのでほかのユニットは変更する必要がない。また、作像ユニット（エンジン）2 0 6 が変更になった場合、画像書込ユニット 1 0 4 のみ変更すればシステムの再構築が可能となる。

【0 1 2 4】

このように、入出力デバイスに依存するユニットは別々な構成でシステムを構築するので、データ・インターフェースが保持されている限り、最小ユニットの交換のみでシステムのアップグレードがおこなえる。

【0 1 2 5】

図 8 に示した画像エンジン制御ユニット 8 0 0 の構成において、画像処理プロセッサ 2 0 4、画像データ制御部 2 0 3、画像メモリー・アクセス制御部 2 2 1 の各モジュール（構成部）は独立なモジュールで構成する。したがって、画像エンジン制御ユニット 8 0 0 からコントローラへの転用は不要なモジュールを削除することで、共通モジュールは汎用的に使用されている。このように、画像エンジン制御用のモジュール、コントローラ用のモジュールを別々に作成せず

に、同様な機能は共通のモジュールを使用することで実現している。

【 0 1 2 6 】

（圧縮処理の内容）

つぎに、本実施の形態にかかる画像処理装置の画像データの圧縮処理について説明する。なお、ここでは、画像データ制御部 2 0 3 内のデータ圧縮部 4 0 3 （図 4 参照）の構成および動作について説明するが、画像メモリー・アクセス制御部 2 2 1 内のデータ圧縮部 6 0 6 （図 6 参照）、もしくは、ファクシミリ送受信部 7 0 1 内の画像圧縮伸張部 7 0 7 も、同様の構成とすることができる。

【 0 1 2 7 】

はじめに、データ圧縮部 4 0 3 の構成および動作について説明する。図 9 は、本実施の形態における画像処理装置のデータ圧縮部 4 0 3 の構成を示すブロック図であり、図 1 0 は、データ圧縮部 4 0 3 の処理タイミングを示す説明図である。

【 0 1 2 8 】

図 9 において、データ圧縮部 4 0 3 は、画像データを格納する 1 ポート F I F O メモリー FM 1、FM 2 および FM 3 からなるラインメモリー群 9 0 1 と、画像データを圧縮する圧縮器 9 0 2 と、画像データをそのまま圧縮器 9 0 2 に送出する回路 T L 4 と、入力する画像データの出力先を切り替える切替器 9 0 3 と、ラインメモリー群 9 0 1、圧縮器 9 0 2、切替器 9 0 3 を制御するコマンド制御部 4 1 0 とから構成される。なお、以降において画像データをそのまま送出する回路をスルーラインと称することとする。

【 0 1 2 9 】

なお、ここでは説明の簡単のために、圧縮器 9 0 2 で圧縮する圧縮領域としては、図 1 8 に示したように主走査（画素）方向に 4 画素、副走査（ライン）方向に 4 ラインからなる 1 ライン 4 画素×4 ラインの矩形領域とする。使用の態様によっては、たとえば、動画圧縮標準の M P E G（M o t i o n P i c t u r e E x p e r t G r o u p）方式で採用されている D C T（D i s c r e t e C o s i n e T r a n s f o r m a t i o n：離散コサイン変換）における 1 ライン 8 画素×8 ラインの領域であってもよい。すなわち、この圧縮領域の大

きは使用するハードウェアやアプリケーションに依存したものであり、特に 1 ライン 4 画素×4 ラインに限定するものではない。

【0 1 3 0】

画像データの圧縮については、まず、画像処理プロセッサ 2 0 4 から出力された画像データを入力する。画像データは連続的に切替器 9 0 3 に入力するので、切替器 9 0 3 は、はじめの 4 画素分 (P 1 1、P 1 2、P 1 3、P 1 4) の画像データ (第 1 ラインの画像データ) については、F I F O メモリー F M 1 に送出し、つぎの 1 画素 (第 5 画素: P 2 1) の画像データが入力する際に、出力先を F I F O メモリー F M 2 に切り替え、当該画素を含む 4 画素分の画像データ (第 2 ラインの画像データ) を F I F O メモリー F M 2 に送出する。

【0 1 3 1】

同様に、切替器 9 0 3 は、第 9 画素 (P 3 1) の画像データが入力する際に、出力先を F I F O メモリー F M 3 に切り替え、当該画素を含む 4 画素分の画像データ (第 3 ラインの画像データ) を F I F O メモリー F M 3 に送出する。

【0 1 3 2】

つぎの第 1 3 画素 (P 4 1) の画像データが入力する際に、切替器 9 0 3 は、出力先をスルーライン T L 4 に切り替え、当該画素を含む 4 画素分の画像データ (第 4 ラインの画像データ) を圧縮器 9 0 2 に直接送出し、同時に、コマンド制御部 4 1 0 の制御の下、F I F O メモリー F M 1、F M 2 および F M 3 にそれぞれ格納された第 1 ラインから第 3 ラインの画像データを読み出し、圧縮器 9 0 2 に送出する (図 1 0 参照)。

【0 1 3 3】

圧縮器 9 0 2 は、第 1 ラインから第 4 ラインの画像データを入力し、一括して圧縮する。以上の動作により、1 ライン 4 画素×4 ライン分の画像データが一括して圧縮される。圧縮されたデータは、コマンド制御部 4 1 0 の制御の下、画像処理プロセッサ 2 0 4 に出力される。

【0 1 3 4】

一方、第 1 7 画素目の画像データが入力する際に、切替器 9 0 3 は、画像データの出力先を F I F O メモリー F M 1 に切り替え、第 5 ラインの画像データを F

I F O メモリー F M 1 に送出する。第 6 ラインおよび第 7 ラインの画像データについては順次 F I F O メモリー F M 2 および F M 3 に送出する。第 8 ラインの画像データについては、圧縮器 9 0 2 に直接送出し、同時に、F I F O メモリー F M 1、F M 2 および F M 3 に格納された第 5、6 および 7 ラインを圧縮器に送出する。

【 0 1 3 5 】

以降、同様の制御を繰り返すことにより、画像処理プロセッサ 2 0 4 から連続的に入力する画像データを円滑に圧縮することが可能となる。データ圧縮部 4 0 3 は、従来技術にかかるデータ圧縮部 1 6 0 1 (図 1 6 参照) より 1 ポート F I F O メモリーを 2 本削減することが可能となり、データ圧縮部 1 9 0 1 (図 1 9 参照) より 2 ポート F I F O メモリーを 1 本削減することが可能となる。

【 0 1 3 6 】

なお、使用の態様によっては、ラインメモリー群 9 0 1 を、ラインメモリーとすることなく (n - 1) ライン分の画像データを格納するメモリーに置き換えることによっても、従来技術にかかるデータ圧縮部 1 6 0 1 より 1 ライン分のメモリーを削減することが可能となる。しかしながら、ラインメモリー群 9 0 1 を使用することにより、個別に設計された単一のメモリーとするよりも、簡便な制御方法を用いることができ、また、回路設計が容易となり、装置規模を小さくすることが可能となる。

【 0 1 3 7 】

(伸張処理の内容)

つぎに、本実施の形態にかかる画像処理装置の画像データの伸張処理について説明する。なお、ここでは、画像データ制御部 2 0 3 内のデータ伸張部 4 0 6 (図 4 参照) の構成および動作について説明するが、画像メモリー・アクセス制御部 2 2 1 内のデータ伸張部 6 0 7 (図 6 参照)、もしくは、ファクシミリ送受信部 7 0 1 内の画像圧縮伸張部 7 0 7 (図 7 参照) も、同様の構成とすることができる。

【 0 1 3 8 】

はじめに、データ伸張部 4 0 6 の構成および動作について説明する。図 1 1 は

、本実施の形態における画像処理装置のデータ伸張部 4 0 6 の構成を示すブロック図であり、図 1 2 は、データ伸張部 4 0 6 の処理タイミングを示す説明図である。

【0 1 3 9】

図 1 1 において、データ伸張部 4 0 6 は、1 ライン 4 画素×4 ラインごとに圧縮された画像データを格納する 1 ポート F I F O メモリー F M I 1 と F M I 2 からなる入力側メモリー群 1 1 0 1 と、圧縮された画像データを伸張する伸張器 1 1 0 2 と、伸張された画像データを格納する 1 ポート F I F O メモリー F M 2、F M 3 および F M 4 からなる出力側メモリー群 1 1 0 3 と、圧縮された画像データを F M I 1 および F M I 2 のいずれに出力するかを切り替える切替器 1 1 0 4 と、伸張された画像データの入力先を切り替える切替器 1 1 0 5 と、伸張器 1 1 0 2 から出力された画像データを切替器 1 1 0 5 に直接送出する回路であるスルーライン T L 1 と、から構成される。

【0 1 4 0】

なお、コマンド制御部 4 1 0 は、入力側メモリー群 1 1 0 1、伸張器 1 1 0 2、出力側メモリー群 1 1 0 3 および切替器 1 1 0 5、1 1 0 6 を制御する。

【0 1 4 1】

図 1 2 に示したように画像データの伸張については、まず、パラレルバス 2 2 0 (図 4 参照) を介して画像データを順次入力する。この画像データは、たとえば、メモリー・モジュール 2 2 2 (図 2 参照) に格納され、圧縮された画像データであり、1 ラインを 4 画素とする 4 ラインの画像データが一括して圧縮されたものである。

【0 1 4 2】

入力した画像データは、切替器 1 1 0 4 により F I F O メモリー F M I 1 に、つぎの画像データは F I F O メモリー F M I 2 に、というように切り替えられ格納される。伸張器 1 1 0 2 は、圧縮された第 1 ラインから第 4 ラインまでのひとかたまりの圧縮データを F I F O メモリー F M I 1 から入力し、伸張する。

【0 1 4 3】

伸張されたデータは、コマンド制御部 4 1 0 の制御の下、第 1 ラインに対して

は、スルーライン TL 1 を介して切替器 1 1 0 5 に直接送出するとともに、第 2 ラインから第 4 ラインの画像データをそれぞれ FIFO メモリー FM 2、FM 3 および FM 4 へ送出する。

【 0 1 4 4 】

切替器 1 1 0 5 から、伸張器 1 1 0 2 により伸張された第 1 ラインの画像データを送出し終えた際に、コマンド制御部 4 1 0 は、切替器 1 1 0 5 の画像データの入力先を FIFO メモリー FM 2 に切り替え、同時に FIFO メモリー FM 2 から第 2 ラインの画像データを読み出す制御をおこなう。この制御により、画像データがとぎれることなくデータ伸張部 4 0 6 から出力させることが可能となる。同様にして、第 3 ラインおよび第 4 ラインの画像データをデータ伸張部 4 0 6 の外部に送出する。

【 0 1 4 5 】

第 4 ラインの画像データを FIFO メモリー FM 4 から読み出し終えた後、コマンド制御部 4 1 0 は、FIFO メモリー FM 1 2 にあらかじめ格納されていた第 5 ラインから第 8 ラインの画像データを伸張器 1 1 0 2 に送出する。伸張器 1 1 0 2 では、この第 5 ラインから第 8 ラインの画像データを一括して伸張する。伸張器 1 1 0 2 は、第 5 ラインの画像データに関しては、切替器 1 1 0 5 に直接送出するとともに、第 9 ラインから第 1 2 ラインまでは FIFO メモリー FM 2 から FM 4 にそれぞれ格納する。この格納されたデータは、コマンド制御部 4 1 0 の制御の下、順次読み出され、データ伸張部 4 0 6 の外部に送出される。

【 0 1 4 6 】

本実施の形態にかかるデータ伸張部 4 0 6 は、上述の制御をおこなうことにより、データ伸張部 2 1 0 1 (図 2 1 参照) に比して 1 本分の 1 ポート FIFO メモリーを削減でき、また、2 ポート FIFO メモリーを 1 ポート FIFO メモリーに置換することが可能であり、回路規模を縮小することが可能となる。

【 0 1 4 7 】

なお、使用の態様によっては、出力側メモリー群 1 1 0 3 を、ラインメモリーとすることなく (n - 1) ライン分の画像データを格納するメモリーに置き換えることによって、従来技術にかかるデータ圧縮部 2 1 0 1 より 1 ライン分のメ

モリーを削減することが可能となる。しかしながら、出力側メモリー群 1 1 0 3 を使用することにより、個別に設計された単一のメモリーとするよりも、簡便な制御方法を用いることができ、また、回路設計が容易となり、装置規模を小さくすることが可能となる。

【 0 1 4 8 】

〔実施の形態 2〕

実施の形態 2 では、データ伸張部における回路規模のさらに小さな画像処理装置について説明する。なお、本実施の形態では、実施の形態 1 と同様の部分については同一の符号を配することとし、その説明を省略する。

【 0 1 4 9 】

はじめに、本実施の形態にかかるデータ伸張部の構成および動作について説明する。図 1 3 は、本実施の形態における画像処理装置のデータ伸張部の構成を示すブロック図であり、図 1 4 は、このデータ伸張部の処理タイミングを示す説明図である。

【 0 1 5 0 】

図 1 3 において、データ伸張部 1 3 0 1 は、1 ライン 4 画素×4 ラインごとに圧縮された画像データを格納する 1 ポート F I F O メモリー F M I 1 と F M I 2 とからなる入力側メモリー群 1 1 0 1 と、圧縮された画像データを伸張する伸張器 1 1 0 2 と、伸張された 4 ライン分の画像データのうち抽出すべき 1 ライン分の画像データを抽出する抽出器 1 3 0 2 と、圧縮された画像データを F M I 1 および F M I 2 のいずれに出力するかを切り替える切替器 1 1 0 4 と、から構成される。なお、コマンド制御部 4 1 0 は、入力側メモリー群 1 1 0 1、伸張器 1 1 0 2、抽出器 1 3 0 2 および切替器 1 1 0 4 とを制御する。

【 0 1 5 1 】

図 1 4 に示したように、画像データの伸張については、まず、パラレルバス 2 2 0 (図 4 参照) を介して画像データを入力する。入力した画像データは、切替器 1 1 0 4 により F I F O メモリー F M I 1 に、つぎの画像データは F I F O メモリー F M I 2 に、というように切り替えられて格納される。伸張器 1 1 0 2 は、まず、圧縮された第 1 ラインから第 4 ラインまでのひとかたまりの圧縮データ

をFIFOメモリーFMI1から入力し、伸張する。

【0152】

伸張された第1ラインから第4ラインの画像データは、抽出器1302において、第1ラインが抽出される。抽出器1302における画像データの抽出の態様は様々に考えられるが、たとえば切替器1104のような適当なスイッチ切替により、データ伸張部1301外部と結線する方法が挙げられる。すなわち、コマンド制御部410の制御により、1ライン分の画像データが伸張器1102から出力される。

【0153】

コマンド制御部410は、第1ラインの画像データの抽出（出力）を検知し、再びFIFOメモリーMFI1に格納された第1ラインから第4ラインまでの圧縮された画像データを読み出す。伸張器1102では、この読み出された4ライン分の画像データを一括して伸張する。抽出器1302では、伸張された第1ラインから第4ラインまでの画像データのうち、今度は、第2ラインを抽出する。以降同様にして、伸張器1102では、一括して全4ラインを伸張し、抽出器1302で、第3ラインを抽出し、つぎのサイクルでは第4ラインを抽出する。

【0154】

続いて、コマンド制御部410の制御の下、FIFOメモリーFMI2に格納された第5ラインから第8ラインまでの圧縮された画像データを読み出し、伸張器1102で一括して伸張する。抽出器1302では、伸張された第5ラインから第8ラインまでの画像データのうち、第5ラインを抽出し、以降同様にして、伸張器1102において一括して全4ラインを伸張し、抽出器1302で順次、第6ライン、第7ライン、第8ラインを抽出する。

【0155】

実施の形態2の画像処理装置のデータ伸張部1301では、切替器1104から伸張器1102まで、同一の画像データ（圧縮された4ライン分の画像データ）を4回伸張し、順次必要なラインだけを抽出器1302で抽出し、データ伸張部1301の外部に出力する。このような構成にすることにより、従来技術のデータ伸張部2101（図21参照）に比して、メモリー群1907を削減するこ

とが可能となる。したがって、回路規模を著しく縮小することが可能となる。

【0156】

【発明の効果】

以上説明したように、請求項1に記載の発明によれば、区分け手段が1ラインを m 画素とする n ラインからなる $m \times n$ 画素に画像データを区分けし、格納手段が前記区分け手段により区分けされた画素の画像データを格納し、圧縮手段が $m \times n$ 画素の画像データを一括して圧縮し、制御手段が、前記区分け手段により区分けされた $m \times n$ 画素の画像データのうち $(n-1)$ ライン分の画像データを前記格納手段に送出し、残りの1ライン分の画像データについては前記圧縮手段に直接送出するとともに、前記格納手段に格納された $m \times (n-1)$ 画素の画像データを前記圧縮手段に送出する制御をおこなうので、格納手段により格納される画像データの容量を1ライン分削減することができ、これにより、回路規模の縮小化を図ることが可能な画像処理装置が得られるという効果を奏する。

【0157】

また、請求項2に記載の発明によれば、請求項1に記載の発明において、前記格納手段が、 $(n-1)$ 本のFIFOメモリーにより構成され、前記制御手段が、前記区分け手段により区分けされた画像データを各ラインごとに前記FIFOメモリーに送出する制御をおこなうので、回路設計を容易におこなうことができ、これにより、回路規模の縮小化を図ることが可能な画像処理装置が得られるという効果を奏する。

【0158】

また、請求項3に記載の発明によれば、伸張手段が圧縮された $m \times n$ 画素の画像データである圧縮データを一括して伸張し、格納手段が前記伸張手段により伸張された画像データを格納し、制御手段が、前記伸張手段により伸張された m 画素を1ラインとする1ライン分の画像データを前記所定の出力先に直接送出するとともに、残りの $(n-1)$ ライン分の画素の画像データを前記格納手段に送出し、その後当該格納手段に格納された $(n-1)$ ライン分の画素の画像データを前記所定の出力先に送出する制御をおこなうので、格納手段により格納される画像データの容量を1ライン分削減することができ、これにより、回路規模の縮小

化を図ることが可能な画像処理装置が得られるという効果を奏する。

【0159】

また、請求項4に記載の発明によれば、前記格納手段が、 $(n-1)$ 本のFIFOメモリにより構成され、前記制御手段が、前記伸張手段により伸張された画像データを各ラインごとに前記FIFOメモリに送出する制御をおこなうので、回路設計を容易におこなうことができ、これにより、回路規模の縮小化を図ることが可能な画像処理装置が得られるという効果を奏する。

【0160】

また、請求項5に記載の発明によれば、入力手段が $m \times n$ 画素の画像データごとに圧縮された画像データである圧縮データを入力し、伸張手段が前記入力手段により入力された圧縮データを $m \times n$ 画素の画像データに一括して伸張し、抽出手段が前記伸張手段により伸張された $m \times n$ 画素の画像データから m 画素を1ラインとする1ライン分の画像データを抽出し、出力手段が前記抽出手段により抽出された1ライン分の画像データを出力し、検知手段が前記出力手段により前記1ライン分の画像データが出力されたか否かを検知し、制御手段が、前記入力手段を制御して、前記検出手段により画像データの出力が検知された場合に、当該画像データを含む前記圧縮データを再び入力し、さらに、前記抽出手段を制御して、前記抽出手段により従前には抽出されなかった1ライン分の画像データを抽出し、この制御を繰り返すことにより1ラインから n ラインまでの画像データを順次出力するので、伸張手段により伸張された画像データを格納する格納手段が不要となり、これにより、回路規模の縮小化を図ることが可能な画像処理装置が得られるという効果を奏する。

【図面の簡単な説明】

【図1】

この発明の実施の形態1にかかる画像処理装置の構成を機能的に示すブロック図である。

【図2】

実施の形態1にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【図 3】

実施の形態 1 にかかる画像処理装置の画像処理プロセッサの処理の概要を示すブロック図である。

【図 4】

実施の形態 1 にかかる画像処理装置の画像データ制御部の処理の概要を示すブロック図である。

【図 5】

実施の形態 1 にかかる画像処理装置のビデオ・データ制御部の処理の概要を示すブロック図である。

【図 6】

実施の形態 1 にかかる画像処理装置の画像メモリー・アクセス制御部の処理の概要を示すブロック図である。

【図 7】

実施の形態 1 における画像処理装置のファクシミリ制御ユニットの構成を示すブロック図である。

【図 8】

画像処理装置がデジタル複合機の場合のユニット構成の一例を示すブロック図である。

【図 9】

実施の形態 1 における画像処理装置のデータ圧縮部の構成を示すブロック図である。

【図 10】

実施の形態 1 における画像処理装置のデータ圧縮部の処理タイミングを示す説明図である。

【図 11】

実施の形態 1 における画像処理装置のデータ伸張部の構成を示すブロック図である。

【図 12】

実施の形態 1 における画像処理装置のデータ伸張部の処理タイミングを示す説

明図である。

【図 1 3】

実施の形態 2 における画像処理装置のデータ伸張部の構成を示すブロック図である。

【図 1 4】

実施の形態 2 における画像処理装置のデータ伸張部の処理タイミングを示す説明図である。

【図 1 5】

従来技術にかかるディジタル複合機のハードウェア構成の一例を示すブロック図である。

【図 1 6】

従来のデータ圧縮部の構成の一例を示すブロック図である。

【図 1 7】

図 1 6 に示したデータ圧縮部の処理タイミングを示す説明図である。

【図 1 8】

データ圧縮部で圧縮される画像データの一例を示す図である。

【図 1 9】

2 ポート F I F O メモリーを一部に用いたデータ圧縮部の構成の一例を示した図である。

【図 2 0】

図 1 9 に示したデータ圧縮部の処理タイミングを示す説明図である。

【図 2 1】

従来のデータ伸張部の構成の一例を示すブロック図である。

【図 2 2】

図 2 1 に示したデータ伸張部の処理タイミングを示す説明図である。

【符号の説明】

- 1 0 0 画像データ制御ユニット
- 1 0 1 画像読取ユニット
- 1 0 2 画像メモリー制御ユニット

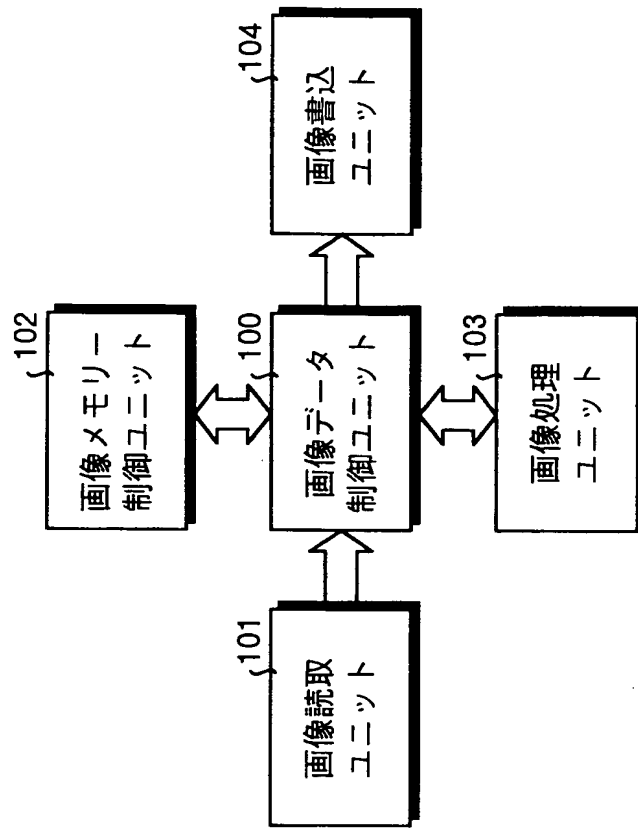
- 1 0 3 画像処理ユニット
- 1 0 4 画像書込ユニット
- 2 0 1 読取ユニット
- 2 0 2 センサー・ボード・ユニット
- 2 0 3 画像データ制御部
- 2 0 4 画像処理プロセッサ
- 2 0 5 ビデオ・データ制御部
- 2 0 6 作像ユニット
- 2 1 0 シリアルバス
- 2 1 1 プロセス・コントローラー
- 2 2 0 パラレルバス
- 2 2 1 画像メモリー・アクセス制御部
- 2 2 2 メモリー・モジュール
- 2 2 4 ファクシミリ制御ユニット
- 2 3 1 システム・コントローラー
- 3 0 2 スキャナー画像処理部
- 3 0 5 画質処理部
- 3 0 7 コマンド制御部
- 4 0 1 画像データ入出力制御部
- 4 0 2 画像データ入力制御部
- 4 0 3 データ圧縮部
- 4 0 4 データ変換部
- 4 0 6 データ伸張部
- 4 0 7 画像データ出力制御部
- 4 1 0 コマンド制御部
- 4 1 1 データ圧縮伸張部
- 5 0 1 エッジ平滑処理部
- 5 0 2 パルス制御部
- 5 0 5 データ変換部

6 0 3 メモリー・アクセス制御部
6 0 6 データ圧縮部
6 0 7 データ伸張部
6 0 8 データ変換部
7 0 1 ファクシミリ送受信部
7 0 3 ファクシミリ画像処理部
7 0 4 画像メモリー
7 0 7 画像圧縮伸張部
7 0 8 モデム
8 0 0 画像エンジン制御ユニット
8 0 3 ゲイン制御モジュール
9 0 1 ラインメモリー群
9 0 2 圧縮器
9 0 3 切替器
1 1 0 1 入力側メモリー群
1 1 0 2 伸張器
1 1 0 3 出力側メモリー群
1 1 0 4, 1 1 0 5 切替器
1 3 0 1 データ伸張部
1 3 0 2 抽出器
1 1 0 2 伸張器
FM1, FM2, FM3, FM4, FMI1, FMI2 FIFOメモリー
TL1, TL2, TL3, TL4 スルーライン

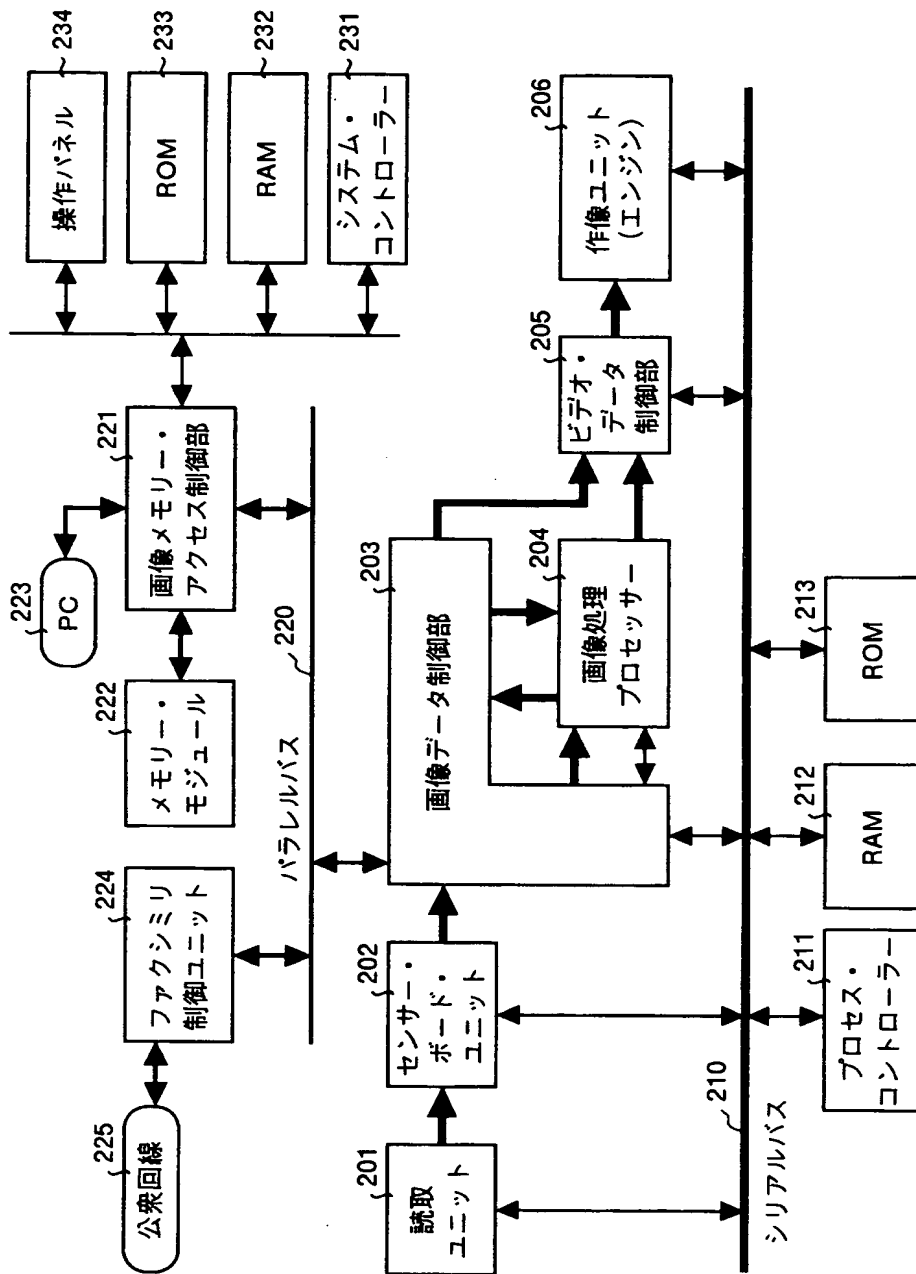
【書類名】

図面

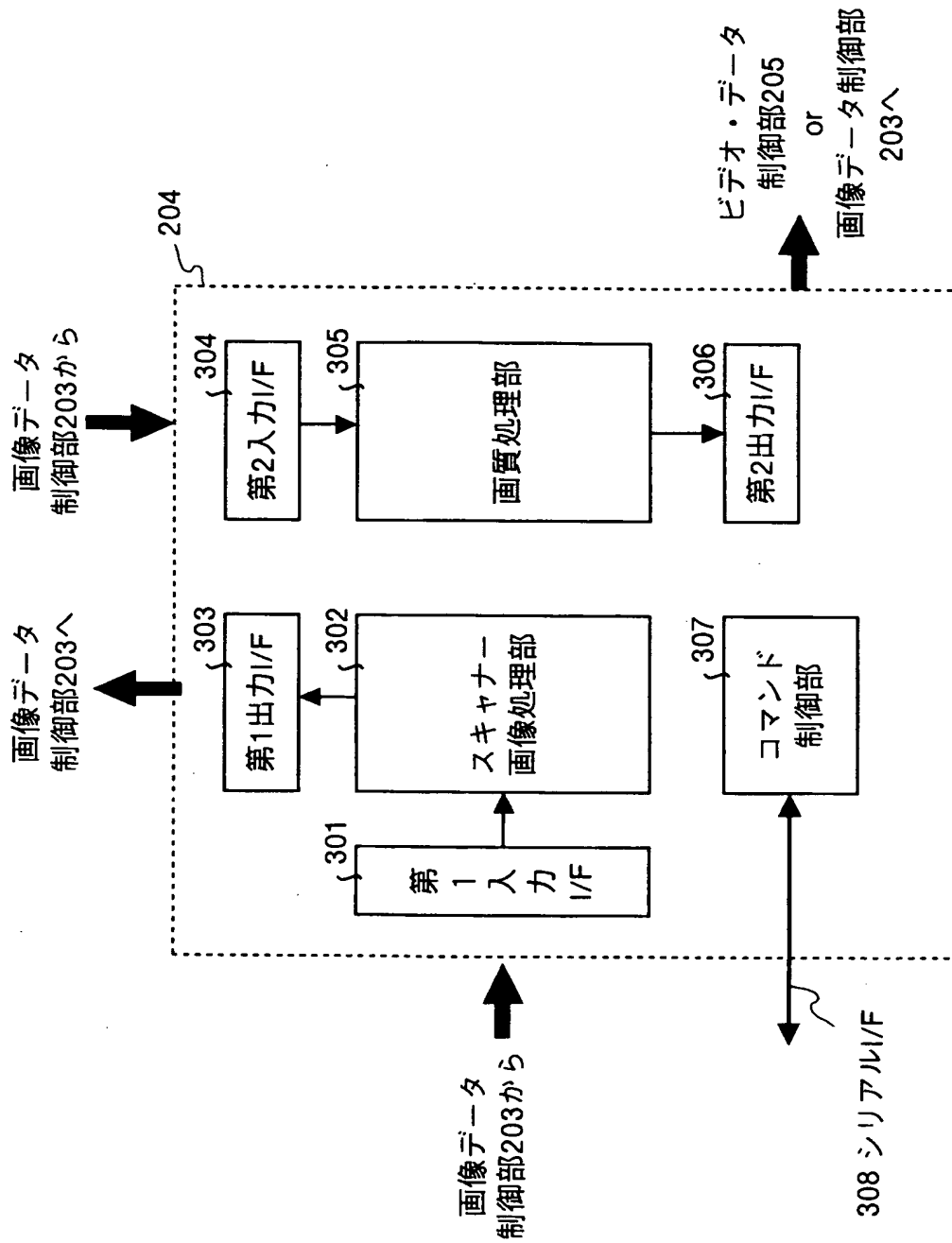
【図 1】



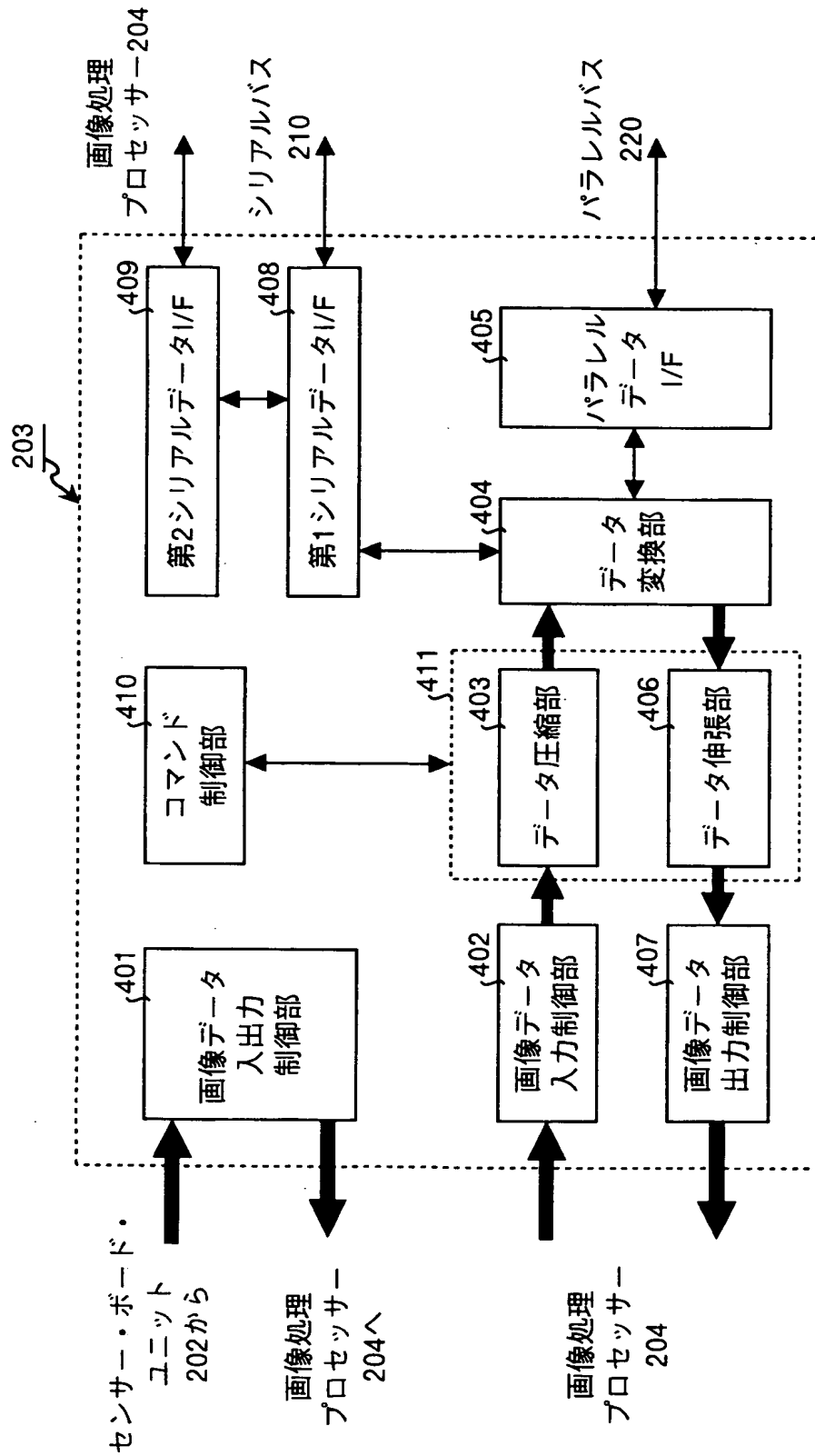
【図 2】



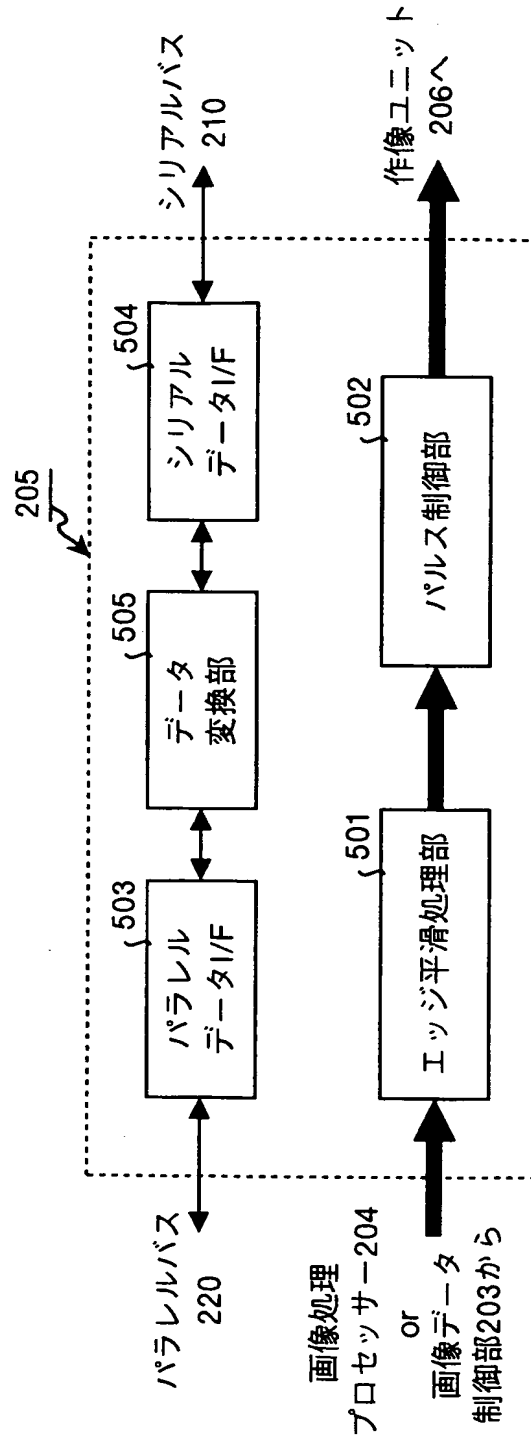
【図 3】



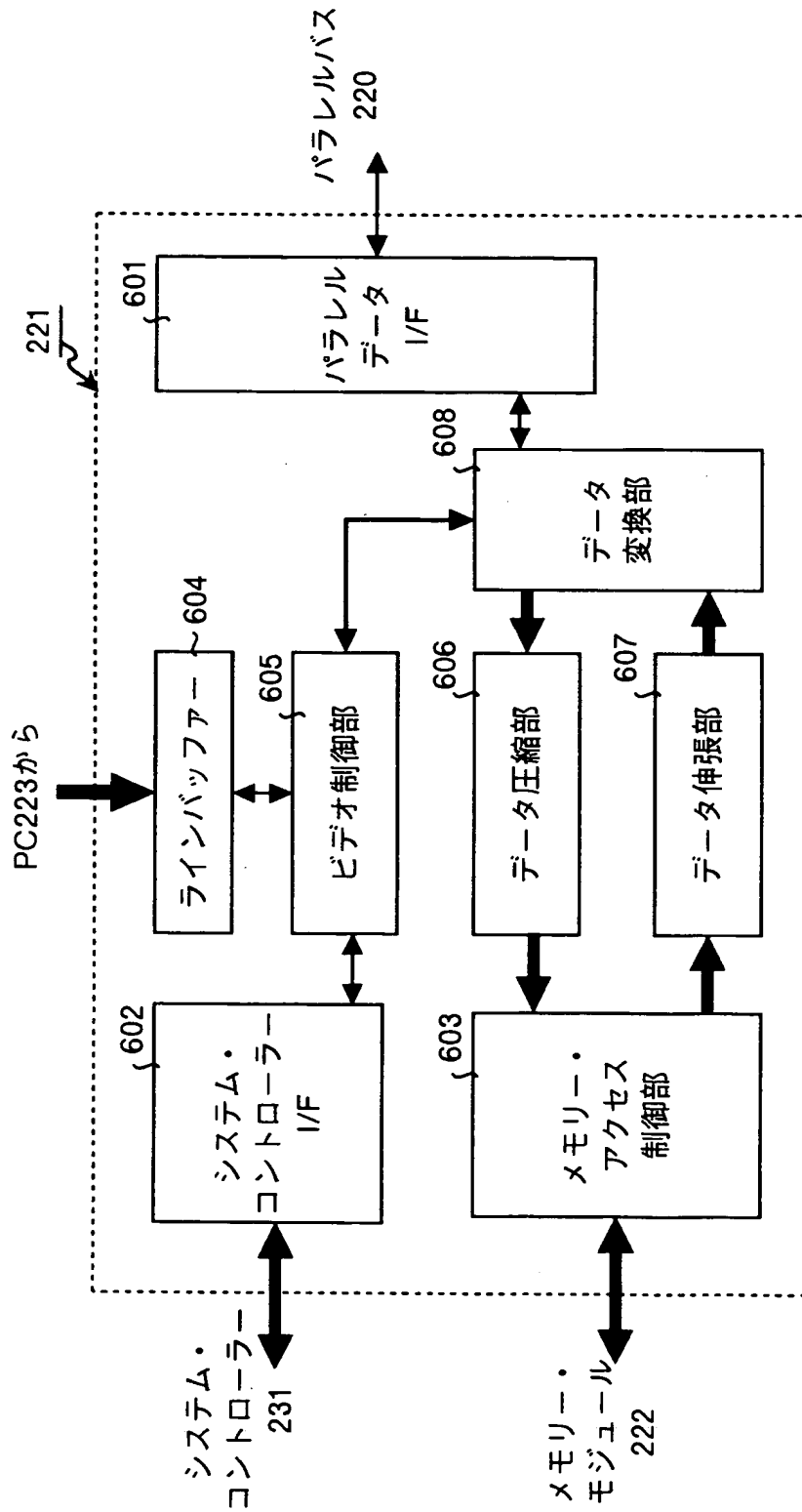
【図 4】



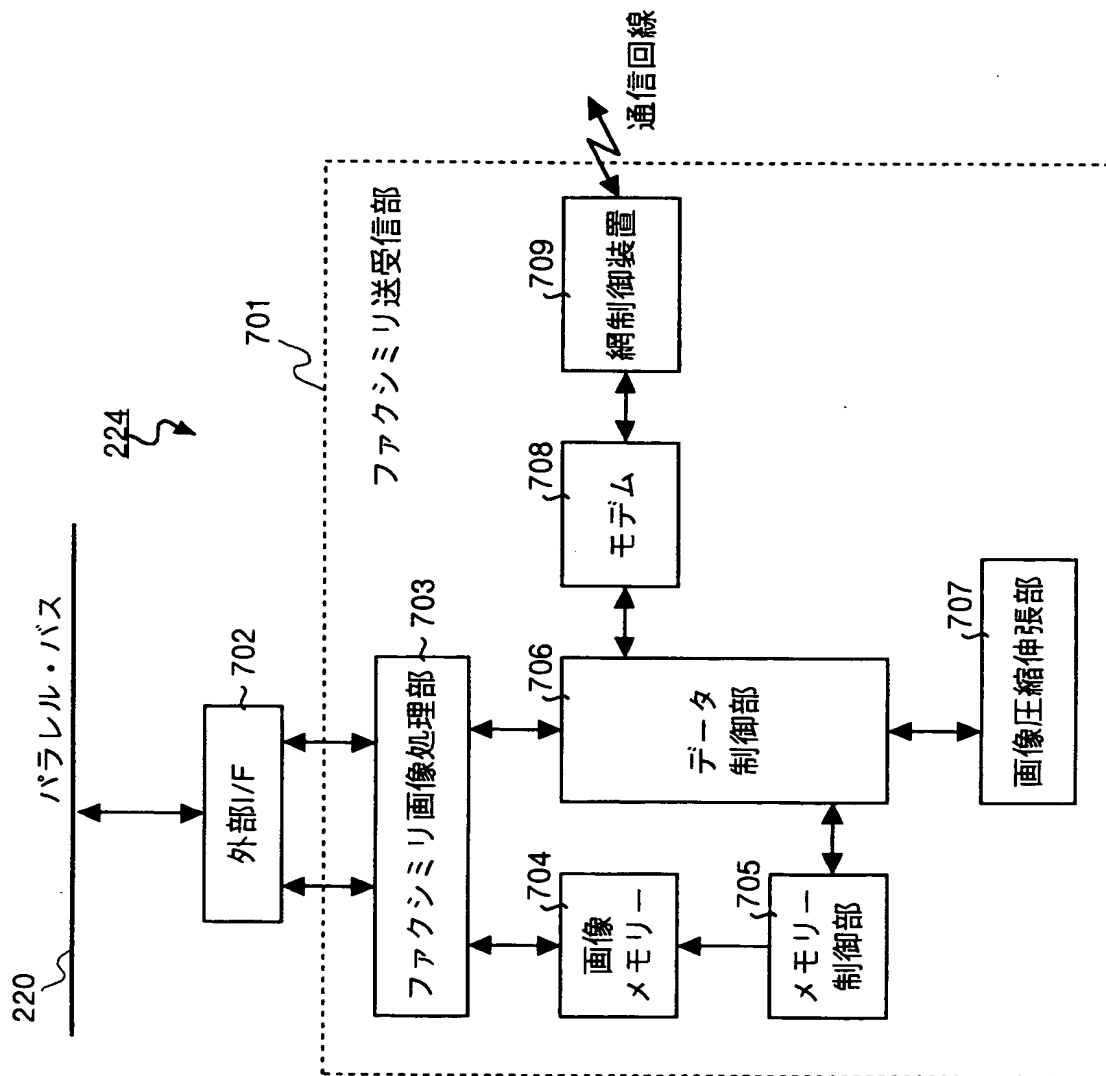
【図 5】



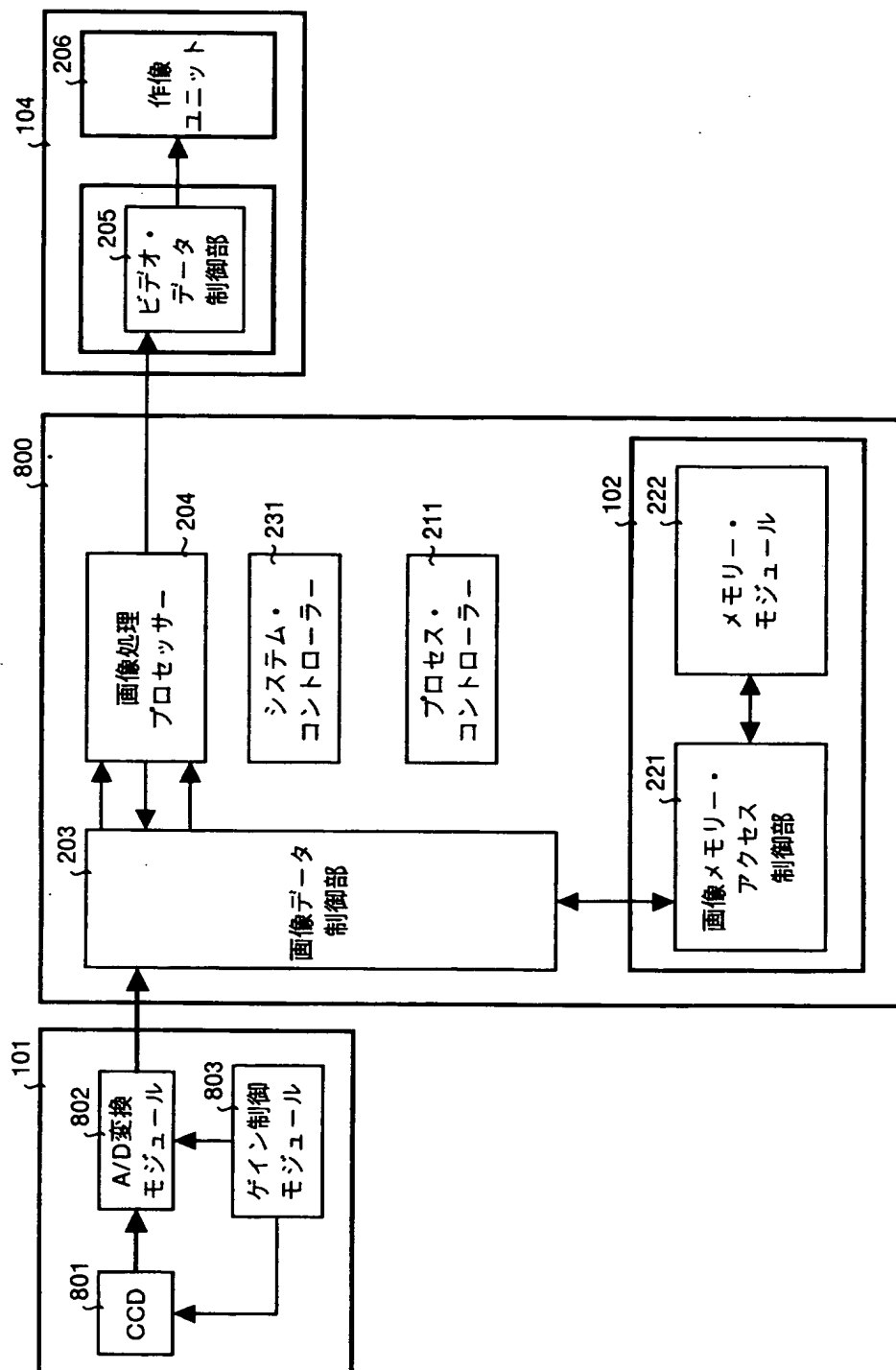
【図 6】



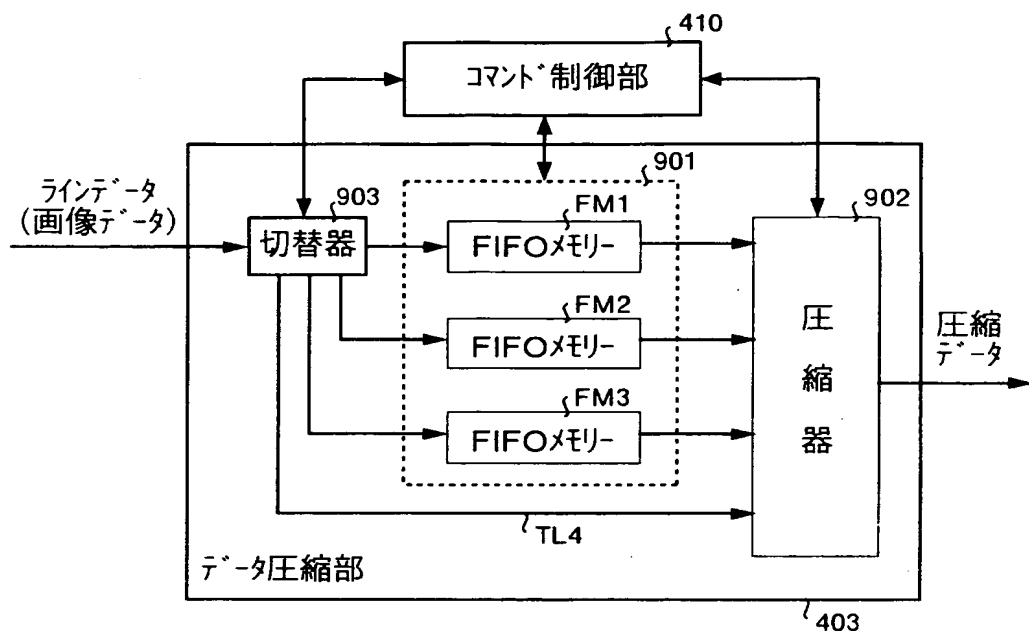
【図 7】



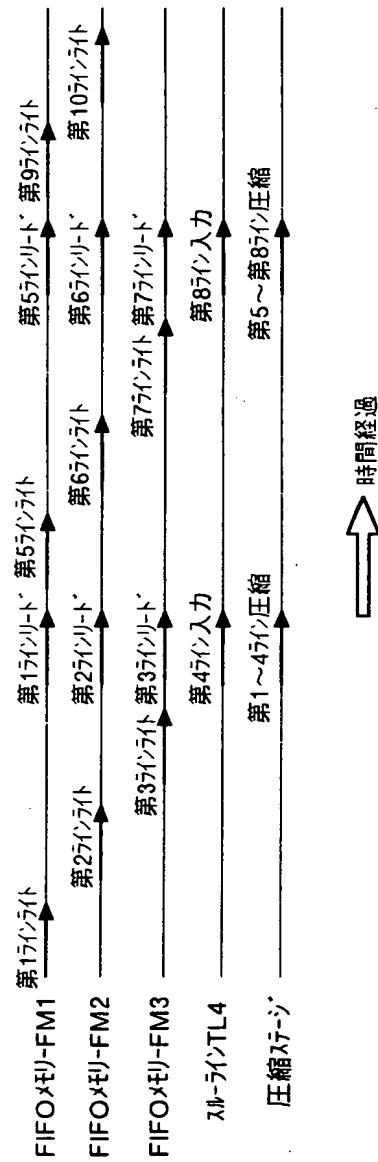
【図 8】



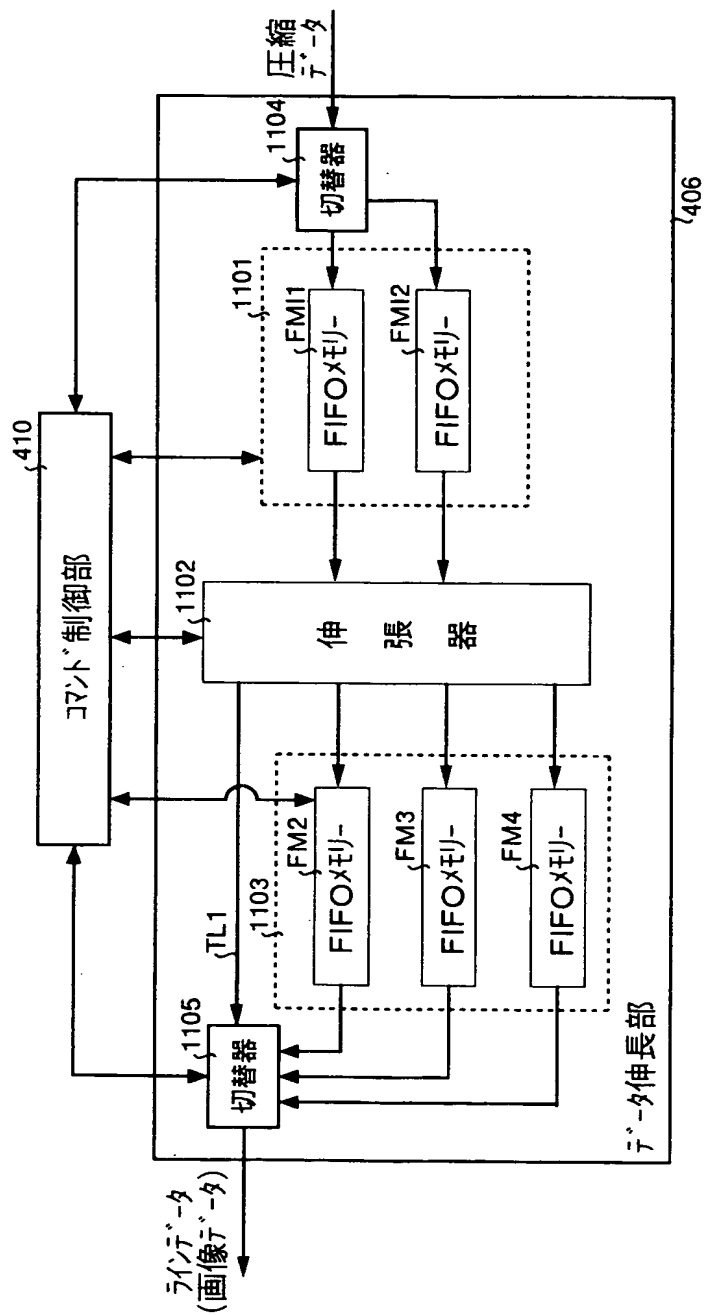
【図 9】



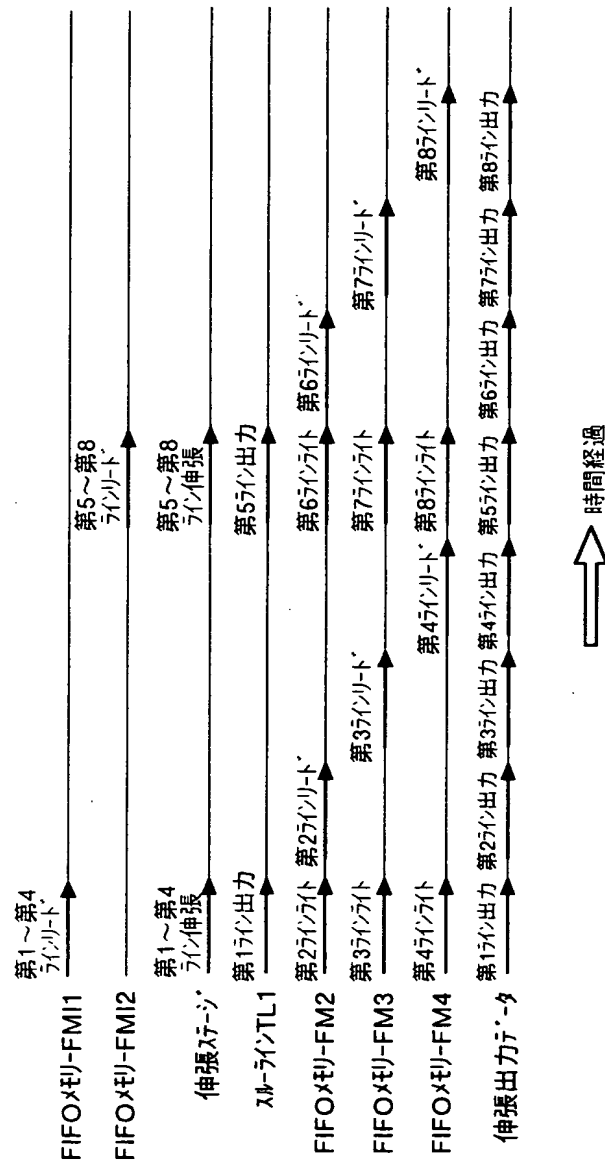
【図 1 0】



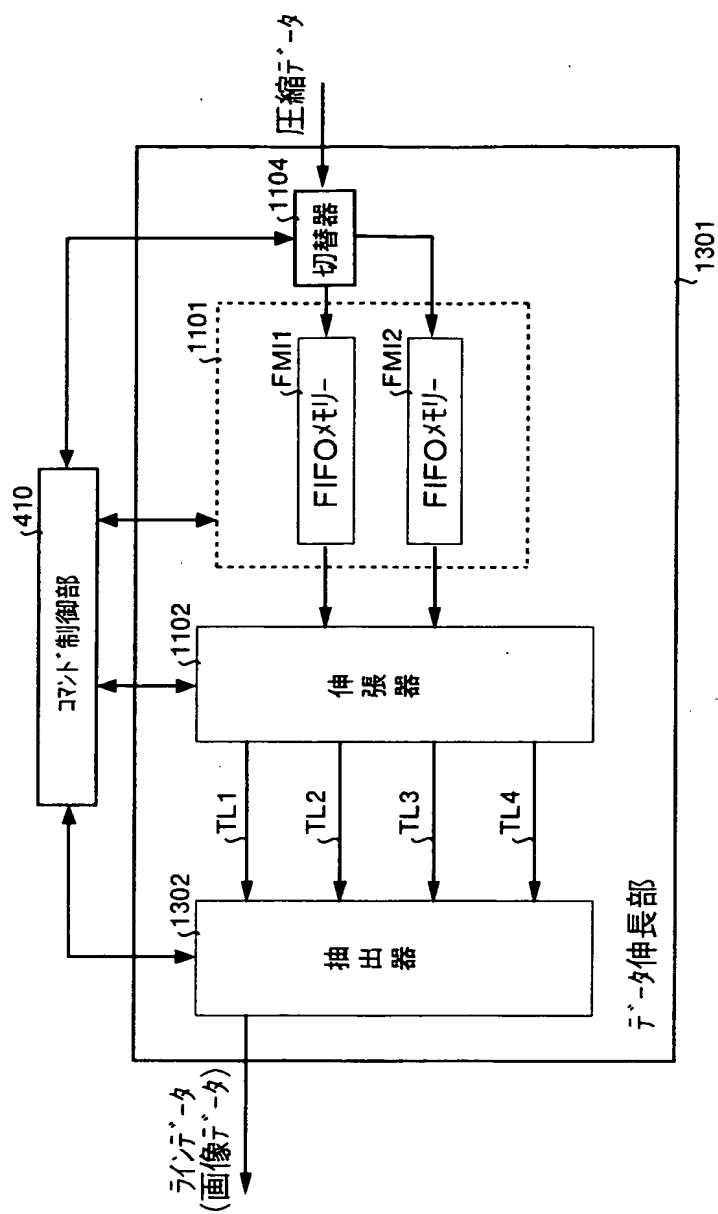
【図 11】



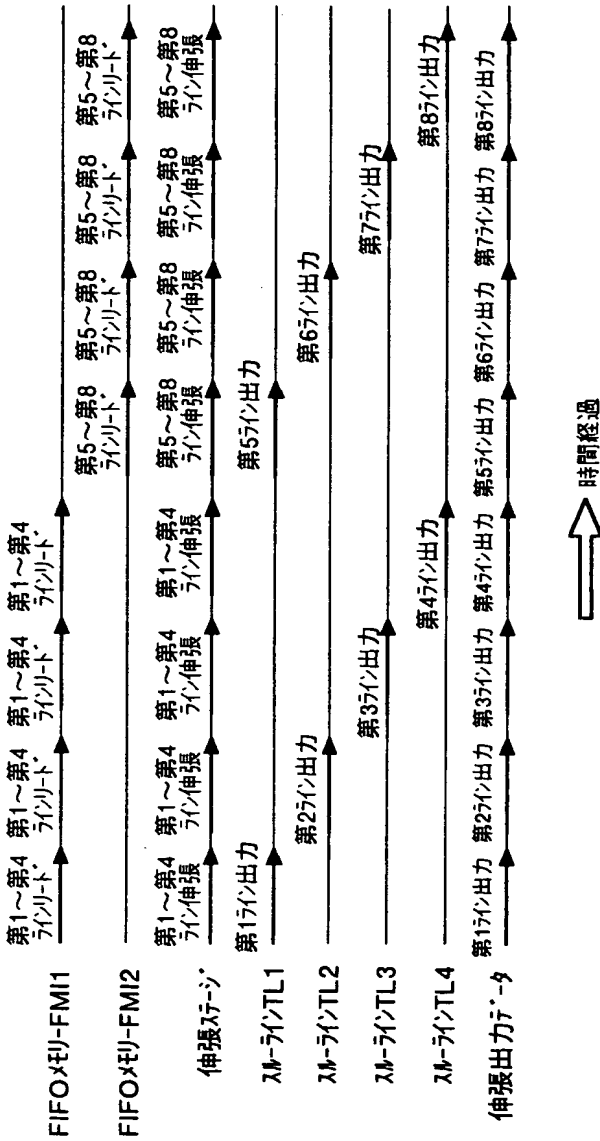
【図 1 2】



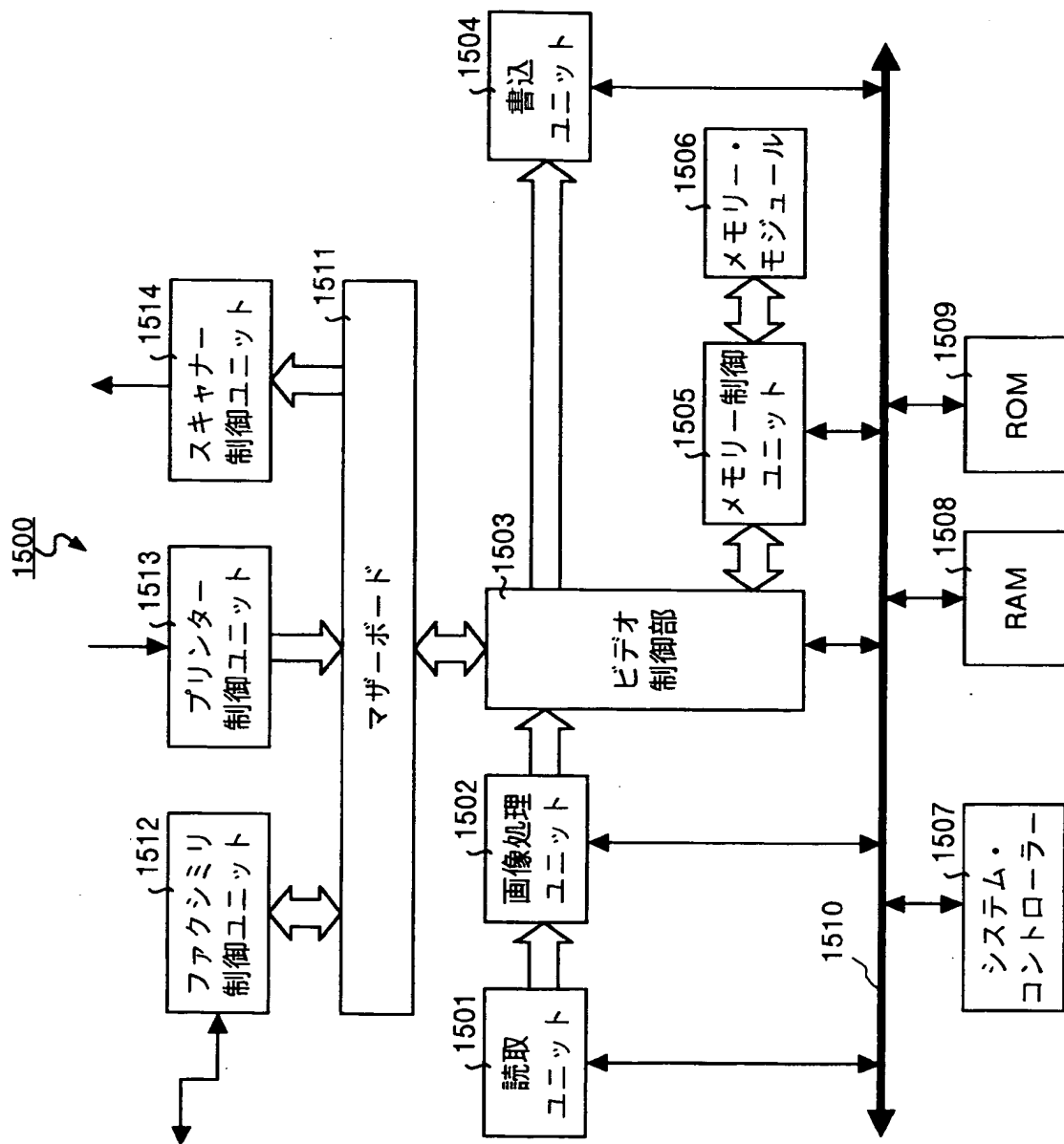
【図 13】



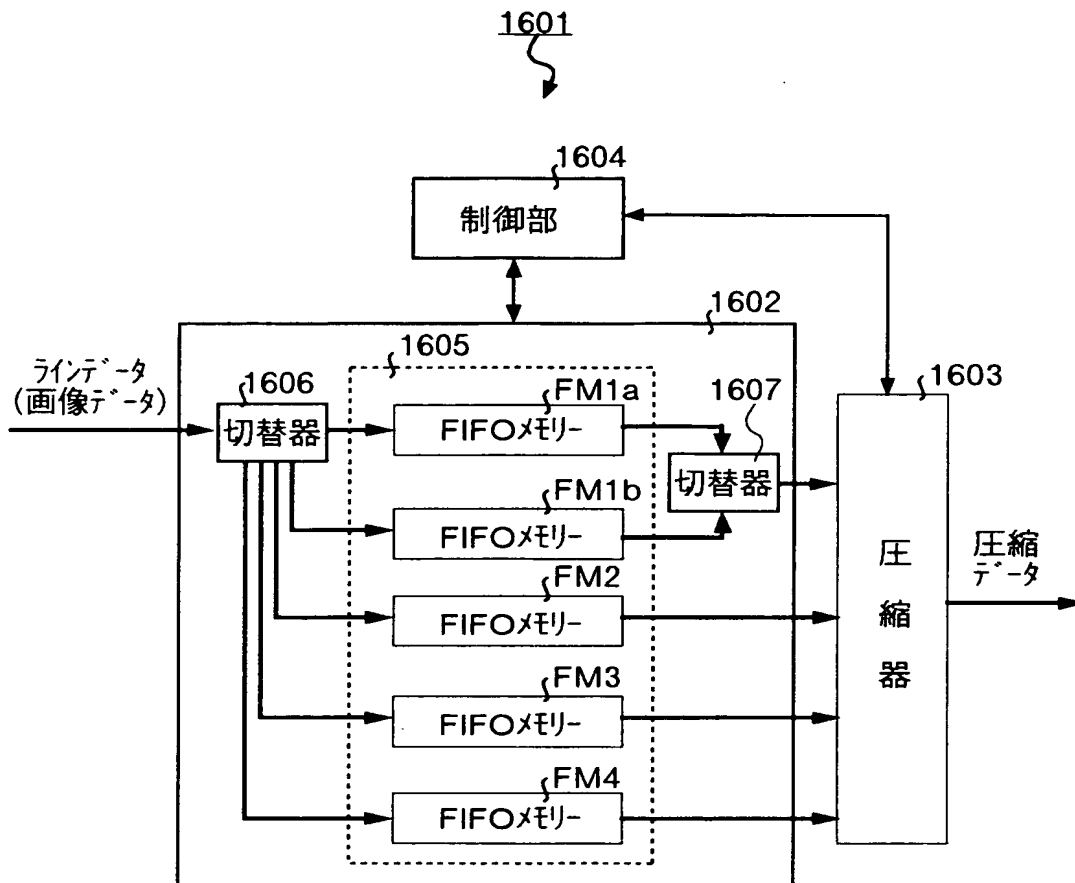
【図 1 4】



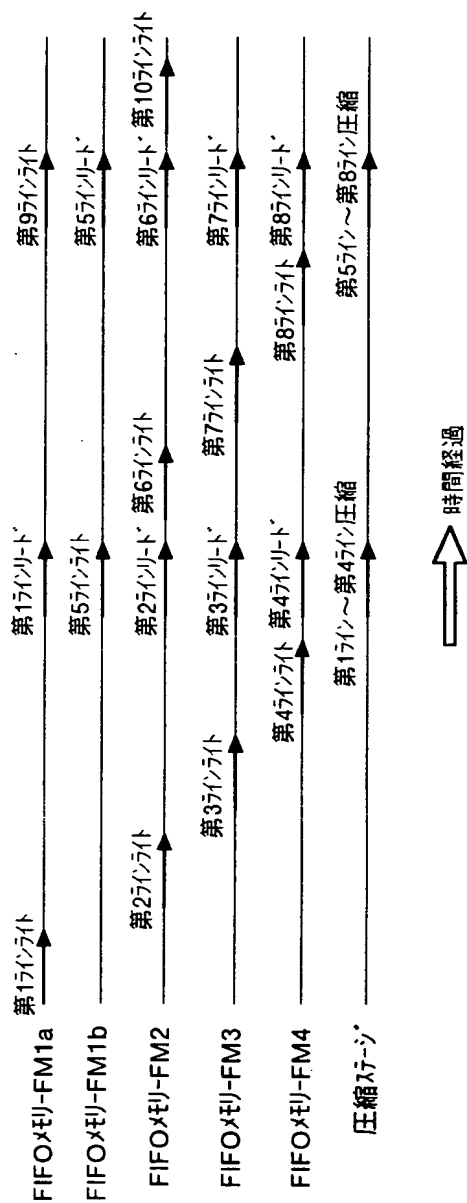
【図 1 5】



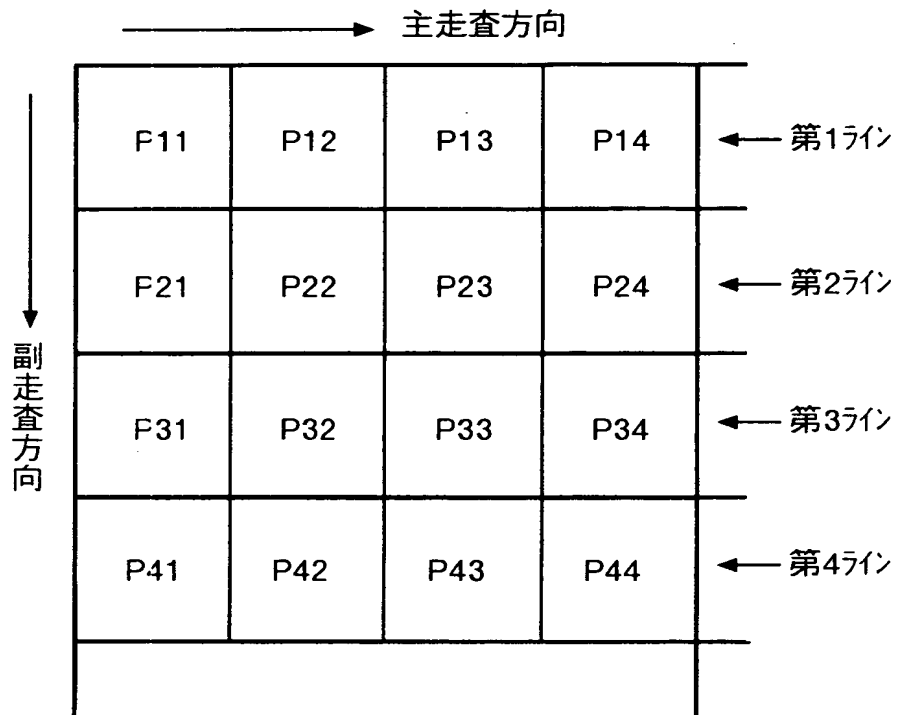
【図 1 6】



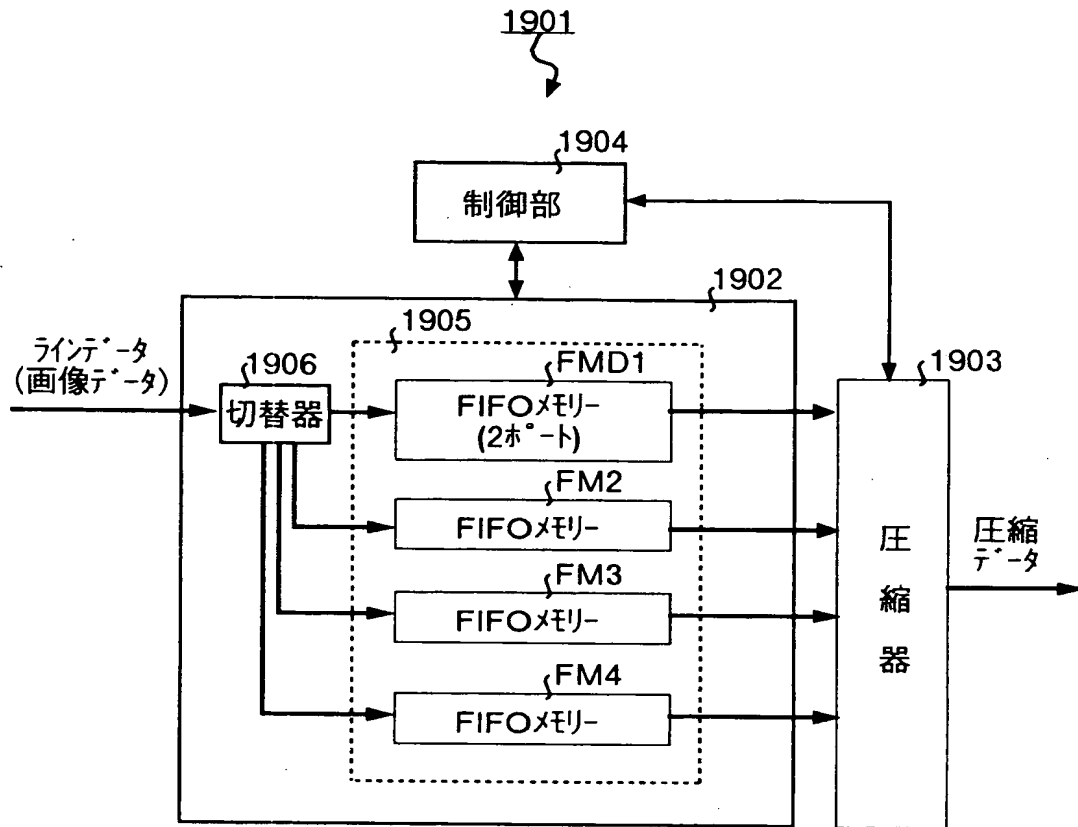
【図 1 7】



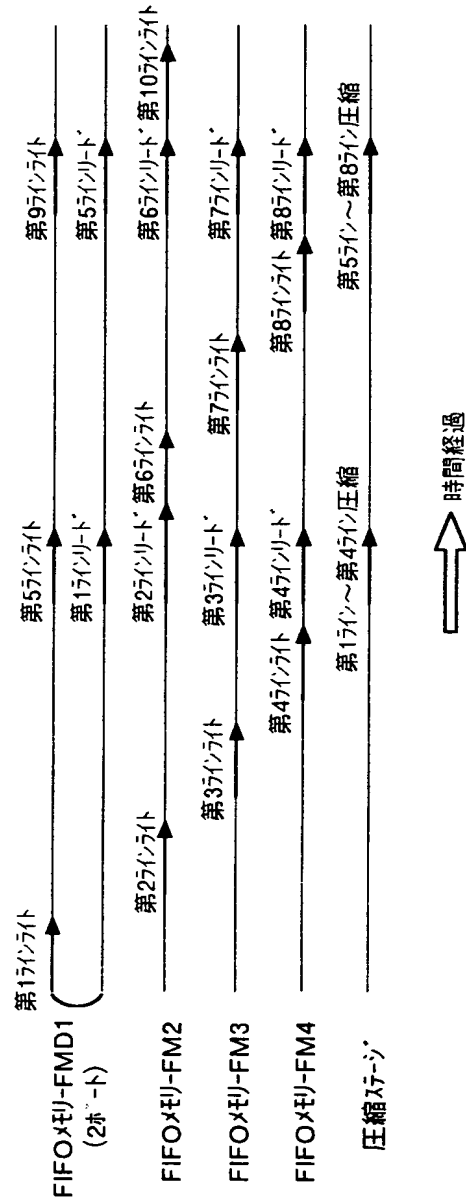
【図 1 8】



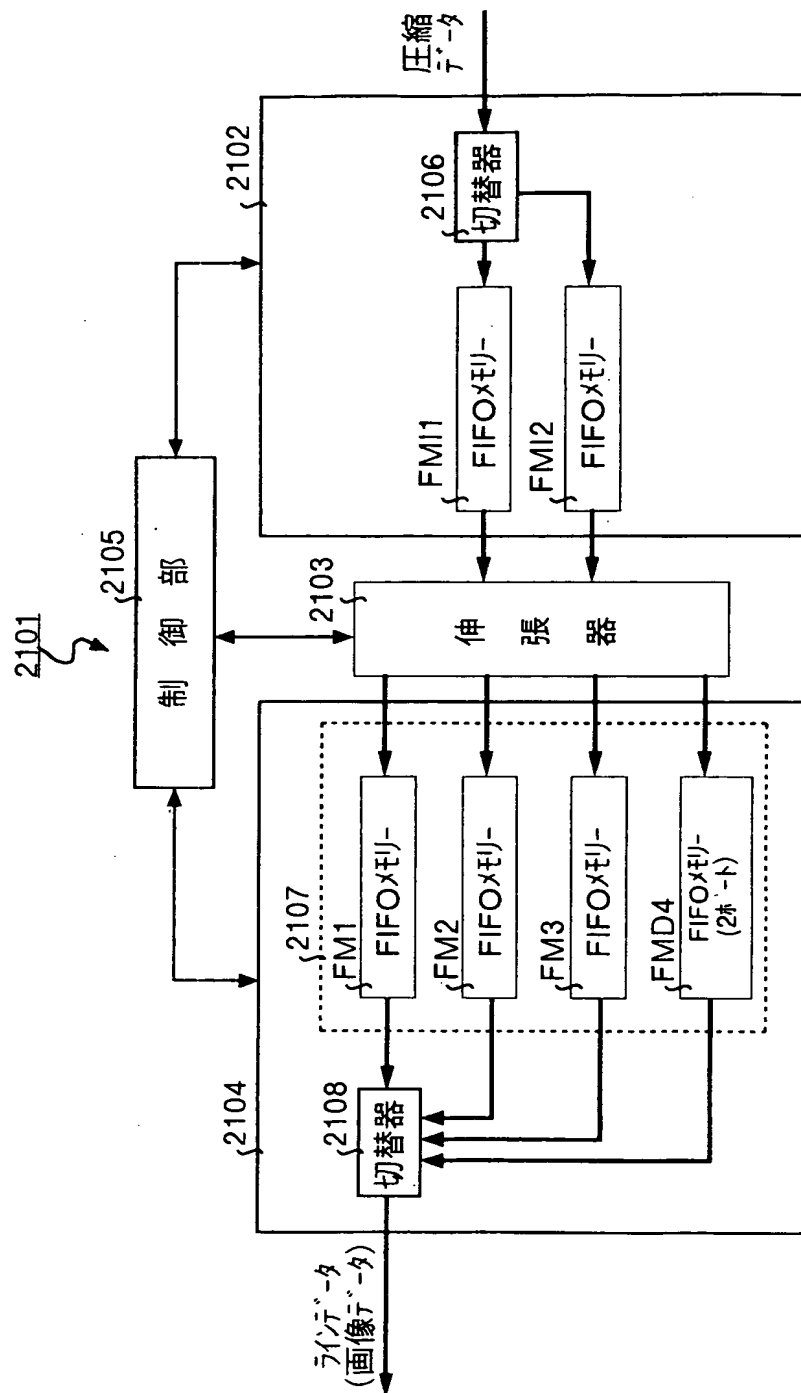
【図 1 9】



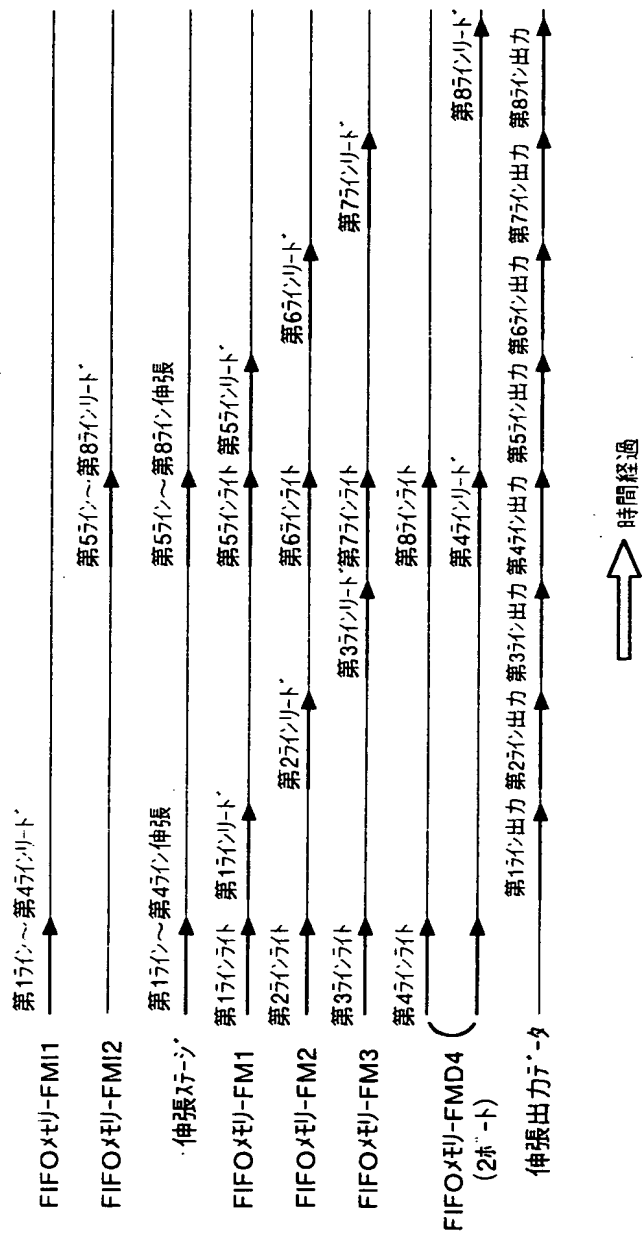
【図 2 0】



【図 21】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 回路規模の縮小化を図ることが可能な画像処理装置を提供すること。

【解決手段】 画像処理装置は、1ラインを m 画素とする n ラインからなる $m \times n$ 画素に画像データを区分けする切替器903と、切替器903により区分けされた画素の画像データを格納するラインメモリー群901と、 $m \times n$ 画素の画像データを一括して圧縮する圧縮器902と、切替器903により区分けされた $m \times n$ 画素の画像データのうち $(n-1)$ ライン分の画像データをラインメモリー群901に送出し、残りの1ライン分の画像データについては圧縮器902に直接送出するとともに、ラインメモリー群902に格納された $m \times (n-1)$ 画素の画像データを圧縮器902に送出する制御をおこなうコマンド制御部410と、を備える。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー